

PFS7523-7529/7533-7539 HiperPFS-3 ファミリー

負荷範囲全体で高効率と高効率実現のため、最適化した高耐圧 MOSFET と Qspeed ダイオードを内蔵した PFC コントローラ

主なメリット

- 負荷範囲全体で高効率で高効率
 - 負荷 10% から最大負荷までの効率 95% 以上
 - 230 VAC での無負荷時待機電力が 60 mW 未満
 - 20% 負荷で 0.92 以上の効率を実現
 - EN61000-3-2 クラス C 及び D に適合
- 高集積による最小の昇圧型 PFC 回路
 - 一体型コントローラ、MOSFET 及び非常に小さい逆回復損失ダイオード (Qspeed)
- 大量生産のために最適化されたパッケージ
 - 絶縁パッド/ヒート スプレッダが不要
- 拡張機能
 - プログラム可能な Power Good (PG) 信号
 - ユーザーごとで、選択可能な電力制限: 異なる HiperPFS-3 ファミリー製品を同一設計内でテストすることにより最適なデバイス選択が可能
 - 内蔵非線形アンプによる高速出力 OV 及び UV 保護と過渡応答
 - UPS または発電機からの入力電圧が歪んでいても安定したパフォーマンスを発揮するデジタル電圧ピーク検出
 - デジタル力率エンハンサーが EMI フィルタ及びブリッジ歪みを補正し、20% 負荷で 0.92 以上の高電圧力率を実現
- 入力電圧と各入力サイクルに対して周波数をコントロール
 - 60 kHz 以上の周波数領域でスペクトラム拡散を行い、EMI フィルタを簡素化
 - 昇圧インダクタンスを低減
- ユニバーサル アプリケーションに対して最大 450 W、高電圧専用アプリケーションに対しては 1 kW のピーク出力電力を提供
- 保護機能: 低電圧検出 (UVLO)、低電圧保護 (UV)、過電圧保護 (OV)、過熱保護 (OTP)、起動/停止、サイクル・バイ・サイクル・カレント・リミット、過負荷保護用電力制限
- ハロゲン化合物不使用、RoHS 指令適合

アプリケーション

- PC
- プリンタ
- LCD TV
- ゲーム機器
- 80 Plus™ Platinum 設計
- ハイパワー アダプタ
- ハイパワー LED 照明
- 産業用及び家電製品
- 汎用 PFC コンバータ

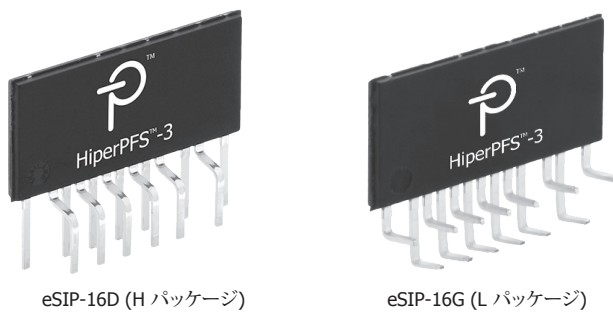


図 2. パッケージ オプション

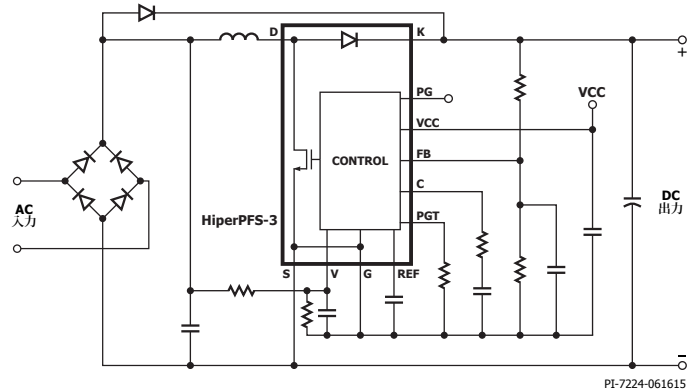


図 1. 標準的なアプリケーション回路図。

出力電力テーブル

ユニバーサル入力デバイス		
製品	最大連続出力電力定格 90 VAC (フルパワーモード) 時	ピーク出力電力 (フルパワーモード)
PFS7523L/H	110 W	120 W
PFS7524L/H	130 W	150 W
PFS7525L/H	185 W	205 W
PFS7526H	230 W	260 W
PFS7527H	290 W	320 W
PFS7528H	350 W	385 W
PFS7529H	405 W	450 W
高電圧入力専用のデバイス		
製品	最大連続出力電力定格 180 VAC (フルパワーモード) 時	ピーク出力電力 (フルパワーモード)
PFS7533H	255 W	280 W
PFS7534H	315 W	350 W
PFS7535H	435 W	480 W
PFS7536H	550 W	610 W
PFS7537H	675 W	750 W
PFS7538H	810 W	900 W
PFS7539H	900 W	1000 W

テーブル 1. 出力電力テーブル (最大連続出力電力定格については 11 ページのテーブル 2 を参照。)

概要

HiperPFS™-3 デバイスは、連続動作モード (CCM) 昇圧 PFC コントローラ、ゲートドライバ、逆回復電荷が非常に少ない (Qspeed™) ダイオード、高耐圧パワー MOSFET を内蔵した低背型 (GROUND ピンを接続) 1パッケージデバイスです。HiperPFS-3 デバイスは PFC コンバータに電流センス抵抗を外付けする必要がなく、関連する電力損失を抑えることができます。また、画期的な制御技術を活用して、出力負荷、入力電圧、及び入力サイクルに対してスイッチング周波数をコントロールします。

この制御技術はコンバータの全負荷範囲におけるエネルギー効率を最大限に高め、特に軽負荷時に有効です。さらに、広いバンド幅でスペクトラム拡散効果が得られるため、EMI フィルタが大幅に簡素化されます。HiperPFS-3 は電圧監視機能、ライン フィードフォワードのスケールリング、力率の改善に先進のデジタル技術を使用する一方で、コアのコントローラにはアナログ技術を使用し、無負荷時の電力消費を極めて低く抑えます。また、HiperPFS-3 は、改良された負荷過渡応答に対する非線形エラー アンプを内蔵し、ユーザーによりプログラム可能な Power Good (PG) 信号に加えて、ユーザーが選択可能な電力制限機能の特徴としています。HiperPFS-3 には、内蔵の低電圧保護 (UV)、過電圧保護 (OV)、起動/停止、自動復帰型過熱保護機能など、Power Integrations の優れた多くの保護機能が標準搭載されています。また、HiperPFS-3 には、パワー MOSFET 用のサイクル・バイ・サイクル・カレント・リミット及び安全動作領域 (SOA) 保護、過負荷保護用出力電力制限、ピン間の短絡保護の機能も備わっています。

HiperPFS-3 の革新的な可変周波数連続動作モード (VF-CCM) では、平均スイッチング周波数を低く維持することでスイッチング損失を最小限に抑えます。さらに、スイッチング周波数を変調することにより、連続動作モードでの従来の問題であった EMI を抑制します。HiperPFS-3 を使用することによって、コンバータの Xコンデンサと Yコンデンサの全体容量、及び昇圧用インダクタと EMI ノイズ用インダクタの両方のインダクタンスを削減することが出来るため、全体的なシステムのサイズとコストを抑えることができます。また、ディスクリート MOSFET とコントローラを別々に使用する設計と比較して、HiperPFS-3 デバイスは、部品点数を大幅に削減する上に基板実装を簡素化し、さらには、システム設計の簡素化、信頼性の向上を実現します。革新的な可変周波数連続動作モード コントローラにより、HiperPFS-3 では、低コストで小型のシンプルな EMI フィルタを利用して、連続動作モードの動作のあらゆるメリットを実現しています。

多くの地域で、高電力電子機器に対して高い力率が要求されています。こうした規制は、最大負荷から 10% 程度の軽負荷までの全負荷範囲で高い電源効率が要求され、アプリケーション特有のさまざまな規格と組み合わせられています。従来の PFC ソリューションでは、MOSFET スwitching周波数が固定されていることにより、軽負荷時でも各サイクルで一定のスイッチング損失が発生するため、軽負荷時に高効率を実現することは困難でした。負荷範囲全体にわたって比較的フラットな効率を実現することに加えて、HiperPFS-3 は 20% の負荷において力率 0.92 以上を達成します。PC、LCD TV、ノート PC、家電製品、ポンプ、モーター、ファン、プリンタ、LED 照明といったアプリケーションの広範な市場において、HiperPFS-3 の使用により、そのすべての範囲の最新のエネルギー効率規格に容易に準拠することができます。

HiperPFS-3 の高度な電源用パッケージ技術と高効率によって、IC のマウント及び熱管理を簡素化し、単一の小型パッケージで高い電力容量を実現しています。これらのデバイスは、75 W から 900 W の PFC アプリケーションに適しています。

製品ハイライト

各種力率改善ソリューション

- 高耐圧パワー MOSFET、逆回復損失が非常に小さい Qspeed ダイオード、コントローラ、及びゲートドライバを内蔵。
- EN61000-3-2 クラス C 及びクラス D に適合。
- 保護機能を内蔵することで外付け部品点数を削減。
 - 高精度な起動/停止の保護を内蔵。
 - 高精度な低電圧 (UV) の保護を内蔵。
 - 高精度な過電圧 (OV) の保護を内蔵。
 - 自動復帰型過熱保護機能 (OTP)。
 - 過負荷保護のため内部電力制限。
 - サイクル・バイ・サイクル電源スイッチ カレント リミット。
 - 改善された負荷過渡応答の内蔵非線形エラー アンプ。
- 外付け電流センス抵抗不要。
 - FET センシング による「損失ゼロ」の内部センスを実現。
 - 部品点数及びシステム損失を低減。
 - 高電流ゲートドライブのループ エリアを最小化。
 - 出力のオーバershoot及び起動時のストレスを最小化。
 - 電力制限機能を内蔵。
- ダイナミック応答の改良。
 - 入力ライン フィードフォワード ゲイン調整のデジタル制御により入力電圧範囲全体でのループ ゲインを一定に維持。
- 最大 40 個のディスクリート部品が不要になり、信頼性が向上し、コストを削減。

高効率、低 EMI 及び高力率のためのソリューション

- 連続動作モード PFC では電流時間 (オン時間) と電圧時間 (オフ時間) を一定にする新しい制御エンジンを使用。
 - 負荷全体での高いエネルギー効率。
 - 負荷全体での高い力率。
 - 低価格 EMI フィルタ。
- 軽負荷効率改善のための発振周波数スライド テクニック。
 - 公称入力電圧で負荷 10% から最大負荷までの効率 95% 以上を実現。
- さまざまな発振周波数の切り替えによる EMI フィルタ設計の簡素化。
 - 入力電圧に応じて変化することで、効率を最大限に高め、EMI フィルタの要件を最小限に抑える。
 - 入力サイクル電圧に応じて 60 kHz 以上変化することでスペクトラム拡散効果を最大化。

高出力用途向けの高機能パッケージ

- 非常に小型のパッケージで最大 450 W (ユニバーサル) または 1 kW (高電圧専用アプリケーション) のピーク出力電力容量。
- ヒートシンクに簡単に接着またはクリップ マウント。
 - 絶縁パッド不要で直接ヒートシンクに接続可能。
- ピン配列を交互にずらすことで、基板の配線が簡素化し高電圧動作の沿面距離要求にも対応。
- PFC コンバータ用単一パッケージ ソリューションによる、組立コスト及びレイアウト サイズの縮小。

ピン機能の説明

BIAS POWER (VCC) ピン:

IC への電力供給のために使用される 10.2 ~ 15 VDC (動作時、通常 12 V) のバイアス回路です。バイアス電圧は外部でクランプし、BIAS POWER ピンが 15 VDC を超えないようにします。これにより、長期間の信頼性が保証されます。

REFERENCE (REF) ピン:

このピンは外付けバイパス コンデンサに接続され、FULL または EFFICIENCY のいずれかの電源モードの IC をプログラムするために使用されます。外付けコンデンサは、REFERENCE と SIGNAL GROUND [G] ピンの間に接続されます。注: GND へのフィードバックラインはサージ発生時に大きなリターン電流が発生する可能性のある他のフィードバックラインと共有することはできません。REFERENCE ピンには、「フル」(1.0 μF $\pm 20\%$) 及び「効率」(0.1 μF $\pm 20\%$) 電源モードを選択するための 2 つのコンデンサ値を選択します。

SIGNAL GROUND (G) ピン:

帰還ループ補償、デカップリング コンデンサ (BIAS POWER (VCC)、REFERENCE (REF) 及び VOLTAGE MONITOR (V) 用) など、フィードバック回路で使用されるディスクリート部品は SIGNAL GROUND (G) ピンを基準にする必要があります。SIGNAL GROUND ピンはデバイスのタブにも接続されます。SIGNAL GROUND ピンは、IC の外部の SOURCE ピンに直接接続しないでください。

VOLTAGE MONITOR (V) ピン:

VOLTAGE MONITOR ピンは、整流された高電圧 DC 出力に 100:1 (1%) の高インピーダンス抵抗分割回路を介して接続され、消費電力と待機時消費電力が最小化されます。推奨される抵抗値は 8 M Ω ~ 16 M Ω です。この分割回路の比率を変更すると、ピーク電力限界、起動/停止スレッシュホールドに影響し、入力電流の歪を低下させます (力率が低下し、THD が増加する)。整流後の DC バスに存在するスイッチング ノイズをバイパスするため、VOLTAGE MONITOR ピンと SIGNAL GROUND ピンの間に、80 μs の公称時定数を形成する小型のセラミック コンデンサが必要です。

また、このピンには起動/停止検出スレッシュホールドが備わっており、微弱な電流源を IC に組み込むことでオープン回路の状態が発生した時にプルダウンとして動作します。

COMPENSATION (C) ピン:

このピンは、COMPENSATION ピンと SIGNAL GROUND ピン間のコンデンサと抵抗のネットワークを介して OTA エラー アンプのループ ポール/ゼロ補償に使用されます。COMPENSATION ピンは、OTA エラー アンプの出力及び、オン時間及びオフ時間制御への入力に内部的に接続します。

FEEDBACK (FB) ピン:

このピンはメインの電圧レギュレーション フィードバック抵抗分割回路に接続され、過電圧及び低電圧時の高速保護にも使用されます。このピンはまた、起動時及び動作中にフィードバック電圧分割回路を検出します。分割回路の比率は、電力制限と力率が適切で最適化されている状態では VOLTAGE MONITOR ピンと同じになります。上側抵抗には 8 M Ω ~ 16 M Ω $\pm 1\%$ の範囲の大きな値が推奨されます。FEEDBACK と SIGNAL GROUND の間には、下側抵抗と共に公称 80 μs の時定数を形成する小型のセラミック コンデンサが必要です。

POWER GOOD (PG) ピン:

PG 機能の使用はオプションです。POWER GOOD ピンはアクティブ ローのオープンドレイン接続で、出力電圧がレギュレーションの範囲内の時に電流を低下させます。起動時に、FEEDBACK ピンの電圧が内部基準電圧の ~95% に上昇すると、POWER GOOD ピンは low となります。起動後に、PG 信号が高インピーダンスとなり、出力電圧スレッシュホールドは、POWER GOOD THRESHOLD ピン抵抗によってプログラムされるスレッシュホールドによって決まります。POWER GOOD ピンは、使用していない場合は未接続のままになります。

POWER GOOD THRESHOLD (PGT) ピン:

このピンは、PG 信号が高インピーダンスになり、PFC コンバータ部がレギュレーションの範囲外になることを示す出力電圧スレッシュホールドをプログラムするために使用されます。PG 信号の低スレッシュホールドは、POWER GOOD THRESHOLD と SIGNAL GROUND ピン間の抵抗を使用してプログラムされます。POWER GOOD THRESHOLD を REFERENCE ピンに接続すると PG 機能は無効となります (つまり、POWER GOOD ピンは高インピーダンスのままになります)。

SOURCE (S) ピン:

これらのピンは電源スイッチのソース接続であり、マイナス側の整流コンデンサの端子接続です。

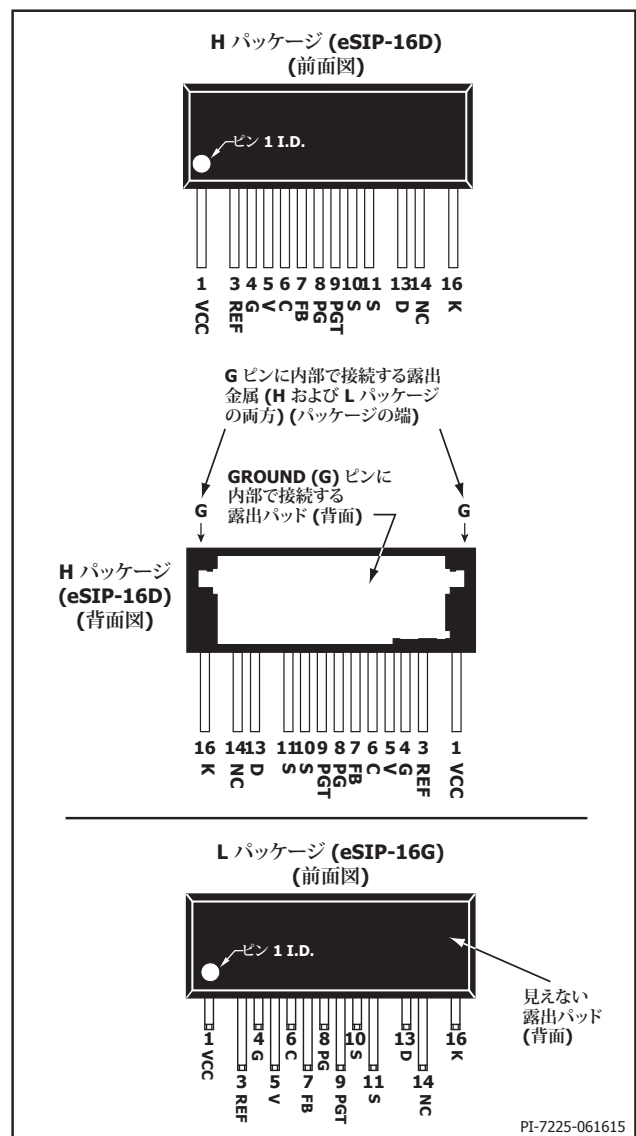


図 3. ピン配置図

この制御では、周波数とピーク電流値の両方がライン ハーフ サイクルで変化する連続モードの電源スイッチ電流波形を作り、入力電圧に比例する入力電流を発生させています。

制御エンジン

コントローラは狭いバンド幅、高いゲインの OTA のエラーアンプを備え、その非反転端子は 3.85 V の内部基準電圧に接続されています。エラーアンプの反転端子は、外部 FEEDBACK ピンで利用可能です。このピンは分割回路の比率が 1:100 の出力電圧分割回路に接続され、出力電圧を定格 385 V に制御します。FEEDBACK ピンは分割回路に直接接続され、負荷過渡応答が高速化されます。

内部検出される FET スwitching 電流は、入力電圧ピーク検出器の電流センス ゲイン (M_{ON}) によってスケールされ、エラーアンプ信号 (V_E) と比較及び積分されサイクル オン時間が決定されます。内部では、入力電圧と出力電圧の差が計算され、その結果がスケール、積分され、基準電圧 (V_{OFF}) と比較されてサイクル オフ時間が決定されます。内部スケール係数を高精度で選択することで、歪みが極めて少なく力率の高い入力電流の波形が得られます。

ライン フィードフォワードのスケール係数 (M_{ON}) 及び PF エンハンサー VOLTAGE MONITOR (V) ピンの電圧がサンプリングされ、 $\Delta-\Sigma$ ADC によって量子化されたデジタル値に変換されます。デジタル入力サイクルのピーク検出器は、動的時定数及びマルチサイクル フィルタを備え、入力電圧のピークを検出して平滑化します。このピークは電流センス信号のゲインを M_{ON} 変数を介してスケールするために内部的に使用されます。これは、制御フィードバック信号のダイナミック レンジを低下させ、動作入力電圧範囲のループ ゲインを一定にするために必要です。ライン センス フィードフォワード ゲイン調整は、ピーク整流 AC 入力電圧の二乗に比例し、VOLTAGE MONITOR ピン電圧の機能として調整されます。

高入力及び軽負荷時で、フィード フォワード M_{ON} 変数は、EMI フィルタとフルブリッジ 回路を通した入力電流の歪みの補正のために、動的にライン サイクルを通して調整され、これにより力率が向上します。

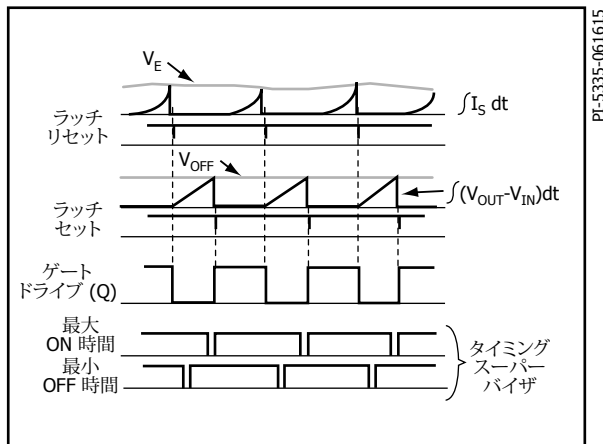


図 5. 理想的なコンバータ波形

このライン センス フィード フォワード ゲインは、入力電圧範囲を通してのスイッチ電力制限の提供でも重要になります。

この特性は、入力電圧が 90 から 230 VAC での最大負荷時で相対的に一定の内部エラー電圧レベルを維持するように最適化されています。

デバイスで指定したピーク電力定格を超えて、内部電力制限機能は、設定したレギュレーションのスレッショールド以下の出力電圧を、定出力電力を維持するための過負荷時出力の機能として制御します。図 6 に、負荷としての標準的なレギュレーション特性を示します。

起動スレッショールド (V_{BR+}) の下で、図 7 で示すように、デバイスが「フル」パワー モードで操作される場合に、電力制限は削減されます。入力電圧が起動スレッショールド (V_{BR}) に対して削減され、負荷が電力制限のディレーティングを超えた場合、昇圧出力電圧は、図 6 に従ってレギュレーションから外れます。

テーブル 1 に示す定格ピーク電力は、デバイスが「効率」モードで操作される場合、起動スレッショールド以下の電圧に対してディレーティングされません。

ピン間の短絡保護での起動

起動に際して、制御回路は、図 8 に示すように、スイッチングを開始する前に、一連の動作確認及びピンのショート/オープン評価を実行します。入力電圧ピークが起動以上になった場合、制御回路はスイッチングを有効にします。

OTA エラー アンプは、FEEDBACK ピンの検出出力電圧がレギュレーションウィンドウ外である場合の本質的に遅いフィードバックループ応答の問題を克服するために、非線形アンプ (NLA) メカニズムを提供します。これにより、エラー アンプ機能は、負荷過渡が発生している間の最大オーバーシュート及びアンダーシュートを制限できます。

起動時のスイッチ及び出力ダイオード電流ストレスを削減するために、HiperPFS-3 は起動中に出力電圧 (V_{OUT}) に基づいてオフ時間を計算するので、起動は比較的ソフトに制御されます。

VCC の印加電圧が $V_{CC(UVLO)}$ スレッショールドを超え、内蔵 V_{REF} レギュレータの出力が REF_{UV+} を超えた場合、REFERENCE ピン コンデンサの値が検出され、フルまたは効率電力モードがセットされます。ピンのオープン/ショートテストが実行され、FEEDBACK ピン電圧が有効な場合、過熱 OTP が非動作になります。これらのチェックに合格すると、入力電圧は、VOLTAGE MONITOR ピンを介して、 V_{BR+} スレッショールドを超えるまで (ただし、ピーク検出は飽和しない範囲で) 監視されます。スイッチングの開始はこの時点です。

タイミング スーパーバイザと動作周波数範囲

入力周波数ハーフ サイクルに対して、可変スイッチング周波数によりコントローラは動作するため、一般的に、CCM 内領域での動作中 22 から 123 kHz の範囲で、コントローラは、最小サイクル オン時間及び最大スイッチ オン時間及びオフ時間を監視して制限するタイミング スーパーバイザ機能も備えます。図 9(a) に、ピーク負荷条件での入力電圧の機能としての、デバイスのスイッチング周波数の標準的な入力電圧ハーフサイクル期間における周波数プロファイルを示します。図 9(b) に、115 VAC という入力条件で、負荷としてのスイッチング周波数に対する EcoSmart™ の影響を示します。スイッチング周波数は、CCM (連続動作モード) 操作での昇圧チョーク インダクタンスの関数ではありません。

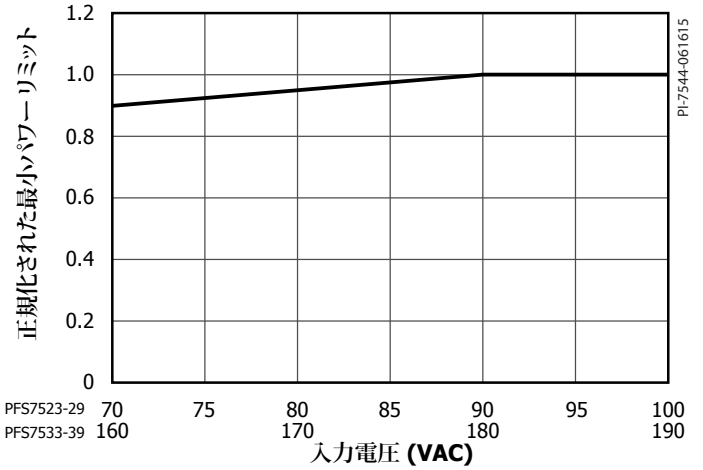
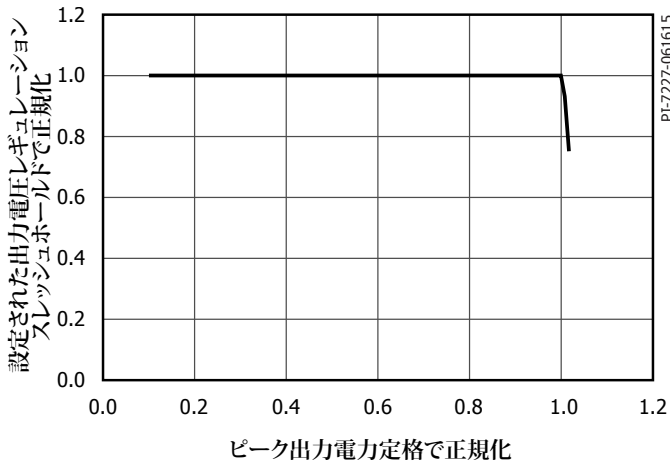


図 6. 正規化されたピーク負荷定格の関数としての標準的な正規化された出力電圧特性

図 7. 入力電圧の関数としての正規化された最小パワー リミット

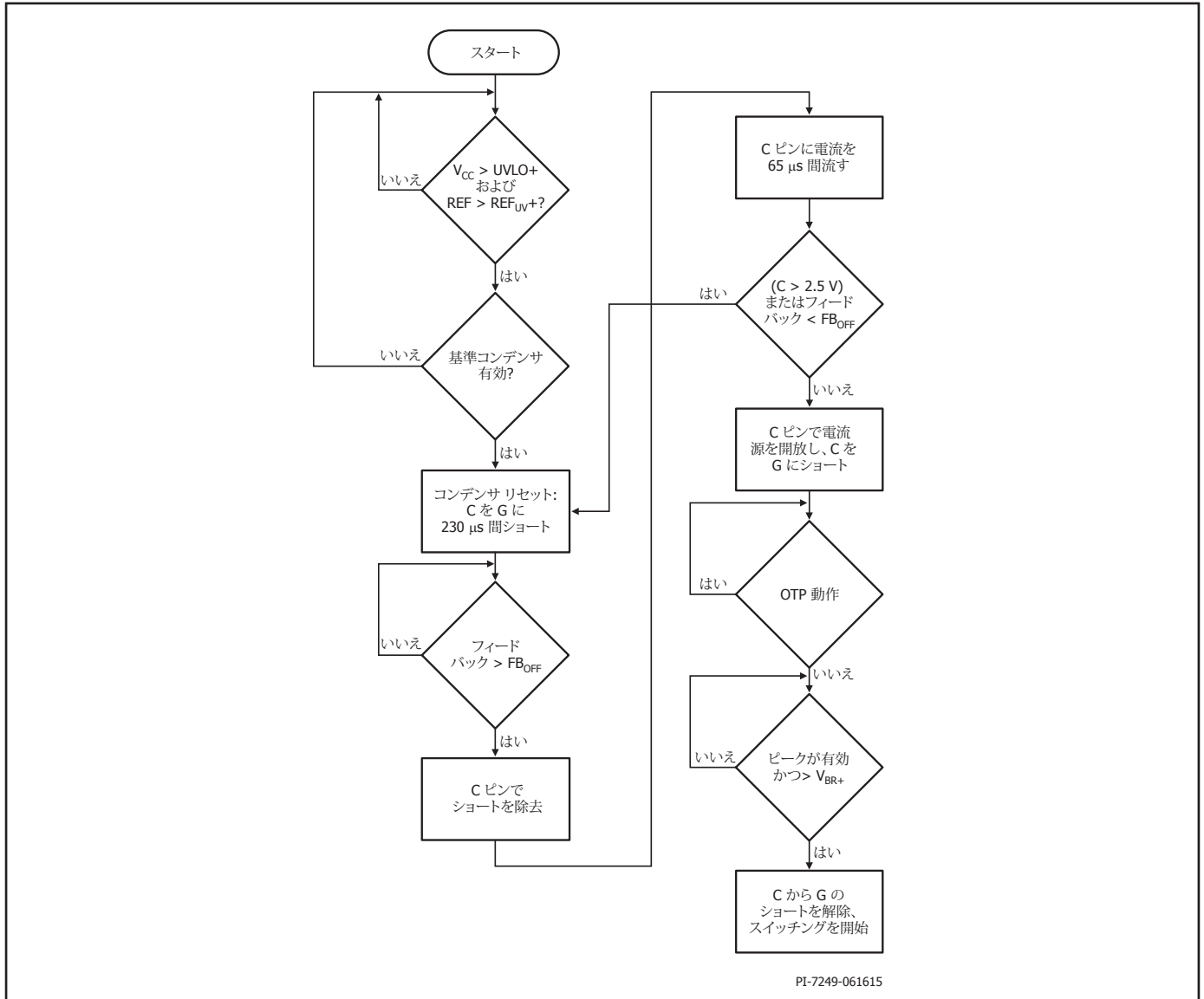


図 8. 起動フロー チャート

EcoSmart

HiperPFS-3 には、コンバータ出力電力の検出に内部エラー信号 (V_E) による EcoSmart 機能が内蔵されています。内部エラー信号は出力電力に関連するので、この信号レベルは出力電力の関数として、平均スイッチング周波数の設定に使用されます。

図 10 に示すように、オフ時間積分コントロール (V_{OFF}) は、内部エラー電圧レベル (出力電力) に基づいて制御されます。これにより、コンバータは、出力電圧レギュレーション、及び定格負荷 20% から 100% まで比較的に平らな変換効率を維持できます。これは、多くの効率に関する指令に適合するための基本です。周波数スライドの度合いは、入力電圧機能としても制御されます。入力電圧機能としてが V_{OFF} の傾きが低下したとき、高入力操作での平均周波数を低減します。

無負荷時消費電力低減用のバーストモード

無負荷時条件下で、HiperPFS-3 エンジンには、固定エラー電圧レベル間で電力スイッチのオンとオフをゲートで制御するバーストモードに入るように設計されます。これにより、漏れ電流が負荷の大部分を構成する場合に

レギュレーションを維持するために間欠発振することにより低消費電力を実現できます。軽負荷での高出力電圧リップルは、効率的なバーストモード操作の結果として発生します。

パワーグッド信号 (PG)

HiperPFS-3 は、起動中に、FEEDBACK ピンの検出出力電圧が、設定した出力電圧スレッシュホールドの 95% (V_{PG+}) まで上昇した場合に、オープンドレインスイッチを「オン」にする内部コンパレータを備えた「パワーグッド」(PG) 回路を特徴としています。起動中、出力電圧が V_{PG+} に到達する前に、PG 信号は高インピーダンス状態 (内部スイッチが「オフ」状態) になります。

FEEDBACK ピンの検出出力電圧が、POWER GOOD THRESHOLD (PGT) ピンの抵抗でプログラミングされたユーザー選択スレッシュホールドになった場合、パワーグッド信号は「オン」から「オフ」状態に変化します。POWER GOOD THRESHOLD ピンは、固定電流 I_{PGT} を基準とします。パワーグッドスレッシュホールド抵抗と組み合わせるこの電流は、PFC 出力がレギュレーションから外れ、パワーグッド信号が「オン」状態から高インピーダンス「オフ」状態に変化した場合に、スレッシュホールドを設定します。

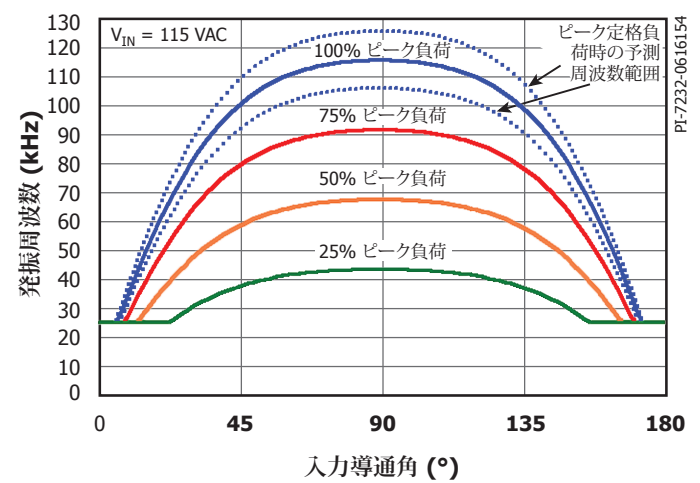
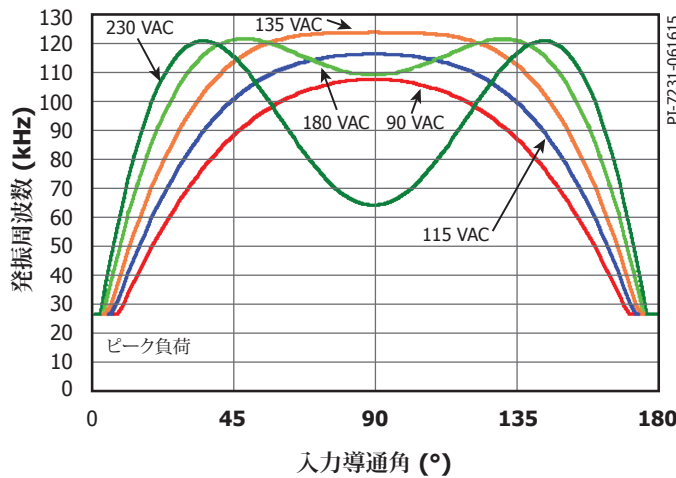


図 9. (a) 入力電圧に対するハーフサイクルのラインにおける周波数の変化 (b) 負荷に対するハーフサイクルのラインにおける周波数の変化
注: 表示される周波数プロファイルは計算結果であり、入力サイクルにおいて CCM 動作となります。

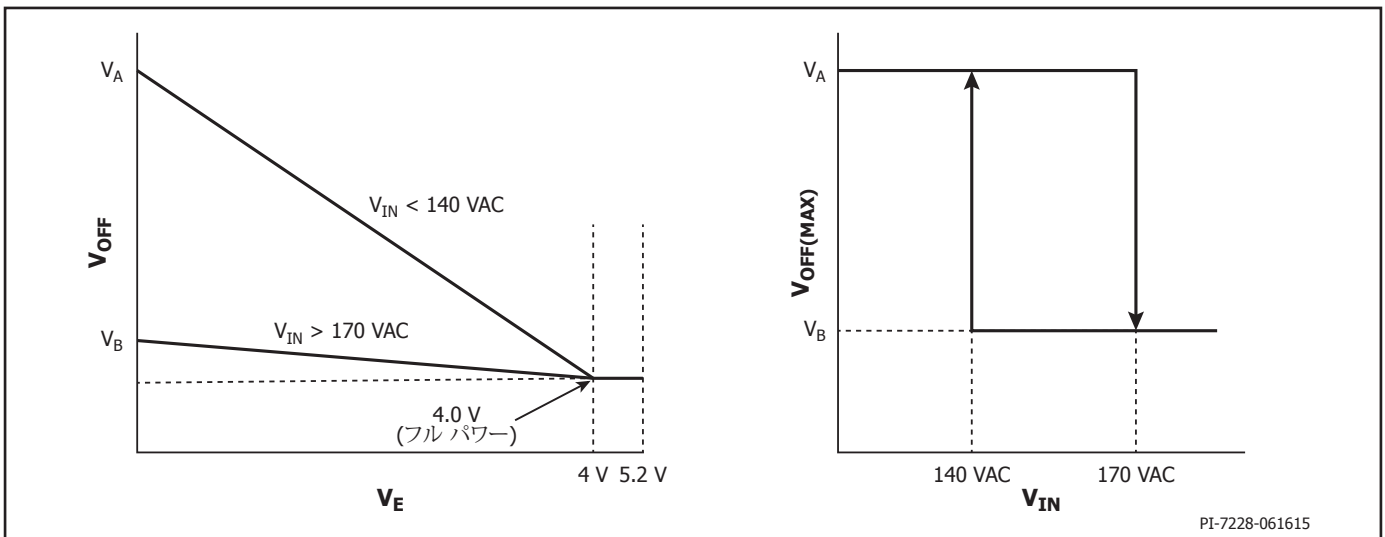


図 10. EcoSmart 周波数スライド V_{OFF} 対 V_E および $V_{OFF(MAX)}$ 対入力電圧

パワー グッド コンパレータには内部 81 μ s ディグリッチ フィルタ (t_{PGD}) があり、プログラムされた V_{PG} スレッシュホールドが誤って起動するのを防ぎます。

異常時、定格負荷(出力電圧スレッシュホールドの95%)に対してさらなる昇圧動作を防ぐため、PG機能は高インピーダンス状態を保ち、予め外部で設定したVPGスレッシュホールド以下に低下させます。設定したスレッシュホールド V_{PG-} は、 V_{PG+} スレッシュホールドに到達すると有効になります。

POWER GOOD THRESHOLD プログラミング ピンが REFERENCE ピンに接続されている場合、パワー グッド機能は停止し、PG は高インピーダンス(「オフ」) 状態のままになります。これは PG を使用しない場合の推奨構成です。POWER GOOD THRESHOLD ピンが SIGNAL GROUND ピンに対して短絡した場合、PG 信号は V_{PG+} で「オン」状態に変化し、PFC 出力電圧が $V_{FB,UV}$ スレッシュホールドを下回るまで、 $t_{FB,UV}$ 秒を超えて、低(「オン」)のままになります。

上記の停止条件と同様に、PGT 抵抗の値が、たとえば、 V_{PG-} スレッシュホールドが V_{PG+} スレッシュホールドを超えるなどの場合、PG 信号はラッチオフし、高インピーダンスであるオフ状態のままになります。

パワー グッド機能は以下の条件下では無効です。

- A. VCC または VREF が有効な範囲にない。UVLO- 下の VCC または REF_{UV-} 下の VREF で、パワー グッド機能は高インピーダンス状態の POWER GOOD ピンに対して有効ではない。
- B. パワーグッドは、過熱異常によりソフトシャットダウンが開始した場合、OTP 異常を二次側回路へフィードバックするため、高インピーダンス状態になります。
- C. PGT は有効なプログラミング範囲である 225 V から 360 V の外にあります。この範囲を超える PGT 電圧 (PGT フローティングを含む) は、PG がアクティブ プルダウンに変化することを妨げます。この範囲以下の PGT 電圧は、出力低電圧 ($V_{FB,UV}$) スレッシュホールドでの PG 復帰を引き起こします。
- D. 起動シーケンス確認に合格し、コンバータが起動に移行すると、PGT がオープンの場合、PG 信号は、コントローラがリセットされるまで、高インピーダンス状態でラッチされたままになります。

選択可能な電力制限

REFERENCE ピンのコンデンサにより、各デバイスに対する「フル」から「効率」電力制限までのユーザー選択が可能になります。「効率」電力モードでは、特定の出力電圧に対して効率を最大限にするためにより大きなデバイスの選択も可能です。

「フル」パワー モードで、REFERENCE ピン コンデンサは 1.0 μ F \pm 20% であり、「効率」電力制限モードが 0.1 μ F \pm 20% コンデンサで選択されます。

REFERENCE ピンで誤って短絡が発生して接地した場合、IC はスイッチングを停止し、起動シーケンスのすべての条件が満たされるまで停止したままになります。

REFERENCE ピンがオープン回路である場合、バイパス コンデンサが未実装であれば起動しません。動作時、オープン回路が発生するとREFERENCE ピンノイズによりシャットダウンする可能性があります。

保護モード

起動保護 (V_{BR+})

VOLTAGE MONITOR ピンは、最小起動電圧を制限する、低入力電圧検出を特徴としています。この検出スレッシュホールドは、入力 AC 電圧が起動電圧以下、または入力ピーク電圧 400 V_{PK} を超えた場合に、デバイスの起動を停止させます。

停止保護 (V_{BR-})

VOLTAGE MONITOR ピンは、VOLTAGE MONITOR ピン電圧が、 $t_{BRN,OUT}$ (停止デバウンス期間) 時間以上の間、入力低電圧スレッシュホールド (V_{BR-}) を下回った場合に HiperPFS-3 を停止する、停止保護モードを特徴とします。単一の AC 入力回路が見つからない (通常の操作入力周波数は 47 Hz から 63 Hz) 場合、停止検出は開始しません。停止が開始すると、HiperPFS-3 ソフトシャットダウンが、1 ms という期間を超えて、段階的に内部エラー電圧を 0 V へと低減し、パワー MOSFET オン時間を徐々に 0 にします。このソフトシャットダウンの開始は、次の入力サイクルのゼロクロスに合うように設定され、di/dt の傾きを最小化するとともに、昇圧インダクタ及び入力 EMI フィルタに保存されるエネルギーを放出するための時間とします。これは、誤ったリスタートの防止および、ブリッジ整流後の過渡電圧を抑えます。デバイスはオートリスタート (FMEA ピンの異常確認及びその他の V_{BR+} を超える VOLTAGE MONITOR ピンの効力により起動電圧を超えている入力電圧の確認前の起動認証を含む) を実行します。

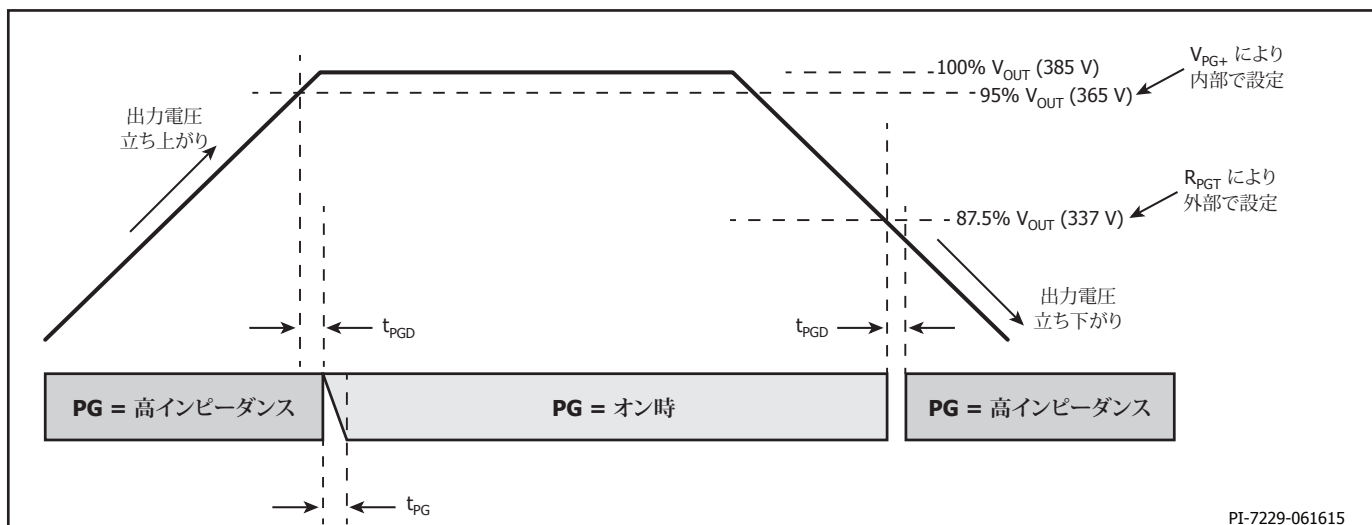


図 11. パワー グッド機能の説明

PI-7229-061615

起動保護が作動した後、 t_{STARTUP} タイマーが無効になるまで、入力電圧停止スレッシュホールドは、 $V_{\text{BR_NTC}}$ まで低減され、停止タイマーは、 $t_{\text{BRWN_OUT_NTC}}$ まで延長されます。これは入力ラインに対して直列接続した突入電流防止用の NTC サーミスタによる電圧降下分を考慮するためです。

仮に $t_{\text{BRWN_OUT_NTC}}$ デバウンスタイマーが $V_{\text{BR_NTC}}$ スレッシュホールド以下の入力電圧によって起動したとしても、 $t_{\text{BRWN_OUT_NTC}}$ 時間以内に $V_{\text{BR_NTC}}$ スレッシュホールド以上の電圧へ回復した場合は、 t_{STARTUP} タイマーはリスタートされます。

t_{STARTUP} タイマーが無効になると、VOLTAGE MONITOR ピン電圧が $V_{\text{BR_NTC}}$ より上だと認証された場合、停止デバウンス タイマーは通常期間 ($t_{\text{BRWN_OUT}}$) に切り替わり、停止スレッシュホールドは V_{BR} に切り替わります。VOLTAGE MONITOR ピン電圧が V_{BR} より上であると認証されない場合、後続の $t_{\text{BRWN_OUT}}$ タイマーが期限切れになった後に、停止シャットダウンが発生します。

HiperPFS-3 には、入力信号のピークから平均までの比率が、正弦波または大きなデューティ サイクルの方形波をより代表するかを判断するための、入力波形ディスクリミネーション機能が内蔵されています。停止スレッシュホールドは、高デューティ サイクル (UPS) 方形波が検出された場合、 $V_{\text{BR_SQ}}$ まで削減されます。

VCC 低電圧保護 (UVLO)

BIAS POWER (VCC) ピンには、印加された VCC 電圧が $V_{\text{CC_UVLO+}}$ スレッシュホールドを超えない限り IC の起動を停止させる、低電圧ロックアウト保護があります。IC は、BIAS POWER ピン電圧が $V_{\text{CC_UVLO+}}$ スレッシュホールドを超えると起動を開始します。起動後、IC は、BIAS POWER ピン電圧が $V_{\text{CC_UVLO}}$ レベルを下回らない限り動作し続けます。BIAS POWER ピンの絶対最大電圧は 17.5 V です。これは、IC に長期のダメージを与えないよう、外部から制限されている必要があります。

入力依存の過電流保護 (OCP) 制限

デバイスには、異常発生時にデバイスを保護する、サイクル・バイ・サイクルの過電流保護メカニズムが含まれています。このデバイスの OCP 保護の目的は、内部パワー MOSFET の保護であり、コンバータに対する、出力短絡回路や過負荷異常条件からの保護は特に意図していません。

ユニバーサル入力部品の場合、OCP 制限は、入力電圧の機能として、1 つの設定は低入力電圧用に、もう 1 つの設定は高入力電圧用に設定されます。これは、高入力電圧条件での電力過負荷によるスイッチへのストレスを最小化するのに役立つのと同様に、電力制限を短絡回路へとバウンドするのに役立ちます。図 12 に、VOLTAGE MONITOR ピン入力センスの機能としての、OCP レベルの自動復帰型調整を示します。これは、3 連続のハーフサイクルで入力電圧のピークが 140 VAC を下回った場合の低入力 OCP (2 つの設定のうち大きい方) の選択及び入力電圧が 1 ハーフサイクルで 170 VAC を上回った場合の高入力 OCP レベル (2 つの設定のうち小さい方) の選択と同等と見なします (フォロワー モード以外で、これ以降のセクションで説明するように)。

HiperPFS-3 は、VOLTAGE MONITOR ピンが高入力スレッシュホールドである $V_{\text{HIGH+}}$ を超えたことを検出した後に、高入力電圧 OCP が適用されます。コントローラは、3 連続でハーフライン サイクル ピーク値が低入力スレッシュホールド V_{HIGH} を下回った場合にのみ、低入力 OCP (及び低入力周波数スライド) に戻ります。ラインが落ちた場合で、そのドロップアウトが 37 ms (公称) を超えた場合、コントローラが、高入力から低入力にパラメータを戻すことがあります。高入力電圧のみの場合は、一つの固定 OCP スレッシュホールドが適用されます。

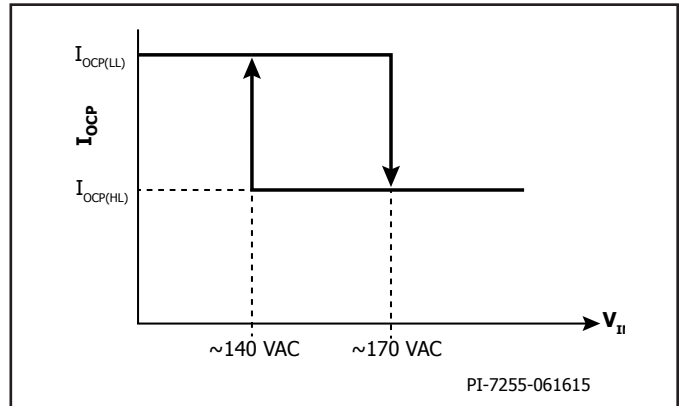


図 12. ライン依存 OCP

フォロワーモード機能は、入力電圧が $V_{\text{HIGH+}}$ を超えるとすぐに、コントローラを素早く高入力状態に更新します。この機能は、ピーク検出が最初に低入力電圧状況を示した長い AC 入力ドロップアウトの後での高入力ハードスタート条件の場合、特に利点があります。

リーディング エッジ ブランキング回路は、パワー MOSFET がオンになった後に、カレントコンパレータを短時間 (t_{LEB}) 停止させます。このリーディング エッジ ブランキング時間は、ドレイン コンデンサ及び整流器の逆回復時間が引き起こすスイッチング電流のスパイクが、MOSFET 導通期間の中断の要因とならないように設定されています。

安全動作領域 (SOA) モード

上述のサイクル・バイ・サイクル OCP メカニズムは、インダクタ電流が「階段状になる」可能性を妨げないので、SOA モードも備えられています。スイッチング電流の急速ビルドアップは、インダクタの飽和が発生した場合や、入力と出力電圧の差が小さいと同時にインダクタのリセット時間がごく短い場合に起こることがあります。

スイッチング電流がカレントリミット (I_{OCP}) に到達し、オン時間が t_{SOA} 以下になると、SOA モードが開始されます。SOA モードは、オフ時間が $t_{\text{OFF(SOA)}}$ と同じになるように強制し、内部エラー電圧 (V_{E}) を最大値の 1/2 以下にすることにより、スイッチングがその SOA 内に留まるようにします。

高速出力電圧過電圧保護 (FB_{OV})

HiperPFS-3 は、COMPENSATION ピンの応答に関係なく、高速応答ができるように出力電圧化電圧状況を検出し、有害な電圧状況が起こらないようにする、FEEDBACK ピンの電圧フィードバック スレッシュホールド コンパレータを特徴とします。過電圧保護は自動復帰型です。FEEDBACK ピンの電圧は、スイッチングのリスタート前に 0.1 V (10 V の出力電圧降下と同じ) に落とす必要があります。

FEEDBACK から COMPENSATION ピンの短絡検出安全機能

PFC コントローラは、FEEDBACK 及び COMPENSATION ピンを継続的に監視して、隣接した FEEDBACK と COMPENSATION ピンの間に短絡条件の可能性がないことを確認します。検出されない場合、出力過電圧状況を引き起こす場合があります。短絡の可能性が検出されると、短時間の短絡確認が実行され、疑わしい短絡が検証されると、シャットダウンが実行されます。

FEEDBACK ピンオープン保護

FEEDBACK ピンは、 $I_{FBPD} [VCC > VCC_{UVLO+}]$ という定常電力を継続的に吸い込み、FEEDBACK ピンのオープンまたは不完全なフィードバック分割回路に関連する異常から保護します。内部吸い込み電流は、出力フィードバックレギュレーション部品 (FEEDBACK ピンドライバ) の選択時に構成される出力レギュレーションに対して、わずかなオフセットを与えます。

自動復帰タイプ過熱保護機能

過熱保護回路は、ヒートシンクに露出接地パッドを介して連結しているコントローラダイの温度を検知します。スレッシュホールドは、通常は 36 °C のヒステリシスで 117 °C に設定されています。コントローラダイの温度がこのスレッシュホールド (OTP) を上回ると、コントローラはソフトシャットダウンを開始し、コントローラダイの温度が、デバイスが起動シーケンスを再開するポイントである 36 °C 以下に下がるまで停止したままになります。

OTP の発生が検出されてからソフトシャットダウンが起きるまでの最大遅延時間は、次のゼロクロスを超えた t_{OTP} です。

HiperPFS-3 の追加機能及び変更

注: HiperPFS-3 は、機能的変更及び最適化により HiperPFS-2 とのピンコンパチではありません。

- 動作供給電圧の最大値を向上: 15 V。
- 外付け部品点数を削減。
- 幅広い温度範囲で主要パラメータの公差を改善。
- アーキテクチャを改良しノイズ耐性と動作精度を向上。
- フィードバック回路電圧分割を帰還ループ補償部品からデカップリング。
- 高入力電圧のみの製品ファミリーを HiperPFS-3 ファミリーに追加。
- ピーク検出器は NTC の突入電流制限による起動不良に対応。
- デジタル力率改善アルゴリズムにより、高入力電圧軽負荷時の力率を向上。
- OTA エラー アンプが HiperPFS-2 の電圧エラー アンプに代わって使用。
- Hiper-PFS-2 でのスイッチング電圧ゲインに代わり、過渡応答時に固定電流ソースを経由して NLA が適用。

- オフ時間制御が実際のフィードバック電圧を検出して、オフ時間を計算し磁気飽和を回避。
- VOLTAGE MONITOR ピンで HiperPFS-2 の電流モード センスでなく電圧モード センスを使用し、抵抗分割回路の大きさの選択に柔軟性を確保。
- 最小ライン フィードフォワード ゲインを下げたことで、入力電圧の谷の部分でも高い電力供給をサポート。
- 折れ線近似に対して、真の二乗機能によるライン フィードフォワード ゲインを内蔵。
- 入力電圧機能はデジタル領域、すなわちピーク検出、フィードフォワード、起動/停止、力率 (PF) 改善で実行。
- ピーク検出器はフィルタを組み込んでおり、サイクル・バイ・サイクルの変動を円滑化。
- 高精度な公差により起動/停止スレッシュホールドを最適化。
- ほとんどのタイマーは内部高速クロックを用いており、正確なタイミングで動作。
- 最適な動作と内部グラウンドのために eSIP-16 パッケージピン配列を改良。
- バーストモード動作の再設計により、無負荷/軽負荷の消費電力を最適化。
- IC の消費電力を削減しており、待機電流を HiperPFS-2 定格の 4 ~ 5 分の 1 に削減。
- HiperPFS-2 REFERENCE ピンを HiperPFS-3 REFERENCE ピンに置き換え、外部 1% 抵抗を外部バイパス コンデンサに置き換えています。
- $V_{FB(REF)}$ を HiperPFS-2 の 6.0 V 定格から 3.85 V 定格に削減しました。
- 歪んだ波形やラインが落ちる状況の動作で、最大動作条件におけるピーク検出器を最適化。
- 方形波検出器機能により UPS 動作を向上。
- パワー グッド機能は OTP 動作を除いて制御回路とは独立。
- FB_{OFF} 不良チェックは動作中常に有効。
- 最大 CCM ピーク スwitching 周波数を最大 100 kHz から 123 kHz に引き上げ。

出力電力テーブル

eSIP パッケージ

製品	効率パワー モード $C_{REF} = 0.1 \mu F$			フルパワー モード $C_{REF} = 1.0 \mu F$		
	最大連続 出力電力定格 90 VAC 時 ²		ピーク出力電力定格、90 VAC 時 ⁴	最大連続 出力電力定格 90 VAC 時 ²		ピーク出力電力定格、90 VAC 時 ⁴
	最小 ³	最大		最小 ³	最大	
PFS7523L/H	65 W	90 W	100 W	85 W	110 W	120 W
PFS7524L/H	80 W	110 W	125 W	100 W	130 W	150 W
PFS7525L/H	110 W	150 W	170 W	140 W	185 W	205 W
PFS7526H	140 W	190 W	215 W	180 W	230 W	260 W
PFS7527H	175 W	235 W	265 W	220 W	290 W	320 W
PFS7528H	210 W	285 W	320 W	270 W	350 W	385 W
PFS7529H	245 W	335 W	375 W	300 W	405 W	450 W

製品	効率パワー モード $C_{REF} = 0.1 \mu F$			フルパワー モード $C_{REF} = 1.0 \mu F$		
	最大連続 出力電力定格 180 VAC 時 ²		ピーク出力電力定格、180 VAC 時 ⁴	最大連続 出力電力定格 180 VAC 時 ²		ピーク出力電力定格、180 VAC 時 ⁴
	最小 ³	最大		最小 ³	最大	
PFS7533H	155 W	205 W	230 W	195 W	255 W	280 W
PFS7534H	200 W	260 W	290 W	240 W	315 W	350 W
PFS7535H	275 W	360 W	400 W	335 W	435 W	480 W
PFS7536H	350 W	460 W	510 W	415 W	550 W	610 W
PFS7537H	430 W	560 W	625 W	520 W	675 W	750 W
PFS7538H	520 W	675 W	750 W	625 W	810 W	900 W
PFS7539H	575 W	745 W	830 W	690 W	900 W	1000 W

テーブル 2. 出力電力テーブル

注:

1. 「応用時の重要検討項目」を参照してください。
2. 周囲温度 50 °C、適切なヒートシンクを使用したオープン フレーム設計で 90 VAC 時の実質的な最大連続電力。
3. 軽負荷時のエネルギー効率を最高にするために推奨する低域側の最大連続電力範囲。HiperPFS-3 はこのレベル以下で動作します。
4. 内部出力電力制限。

応用例

高エネルギー効率、275 W、385 VDC ユニバーサル入力 PFC

図 13 に示す回路は、PFC コントローラ内蔵 HiperPFS-3 ファミリーのデバイスを使用して設計されています。この設計は、軽負荷から全負荷までの範囲で高い入力力率と全体効率を維持しながら、定格連続出力電力 275 W で、安定化された 385 VDC の出力電圧を提供します。

ヒューズ F1 は回路保護機能として作動し、故障時に AC 電源から回路をオープンにします。ダイオードブリッジ BR1 は、AC 入力電圧を整流します。コンデンサ C1-C7 はインダクタ L2 と L3 とともに EMI フィルタを形成し、このフィルタによりコモンモードとディファレンシャルモードのノイズを除去します。抵抗 R1、R2、および CAPZero IC U2 は、回路が切断されたときに EMI フィルタコンデンサを放電するために必要です。AC 電源が取り外された時のみ R1 と R2 を入力に接続することにより、これらの部品の通常時の損失を低減します。

金属酸化バリスタ (MOV) RV1 は、電源に対する入力電圧を効果的に低減させ、入力サージ発生時に回路を保護します。

昇圧型コンバータは、インダクタ L1 と HiperPFS-3 IC U1 で構成されています。このコンバータは昇圧型コンバータとして機能し、電源の入力電流を制御し、同時に出力 DC 電圧を安定させます。ダイオード D2 は、インダクタ L1 をバイパスしながら出力コンデンサ C17 を充電することにより、起動時の出力電力によって発生する共振を防ぎます。

サーミスタ RT1 は起動時の回路の入力突入電流を制限し、L1 の飽和を防ぎます。ほとんどの高性能設計では、起動後にリレーを使用してサーミスタをバイパスし、電源の効率を改善します。サーミスタ RT1 は、出力電圧のレギュレーション後、電気-機械式リレー RL1 によってバイパスされ、U1 からのパワーグッド信号は Low でアサートされます。抵抗 R3、R4、Q1 は、リレー RL1 とフォトカプラ U3 を駆動します。ダイオード D1 は、復帰への移行の際にリレーコイル逆電圧をクランプします。抵抗 R5 は、フォトカプラのダイオードへの電流を制限します。IC U3 は、必要な場合に、パワーグッド出力信号用のコネクタ J2 によりフォトカプラ絶縁を可能にします。

コンデンサ C15 により、出力回路のループ長と面積が縮小されます。これにより、EMI、および各スイッチングエッジでの U1 内 MOSFET のドレインとソース間の電圧のオーバーシュートが減少します。

PFS7527H IC には、安定化された 12 V の電圧供給が必要です (15 V を超えてはなりません)。抵抗 R6、R7、R8、ツェナーダイオード VR1、およびトランジスタ Q2 は、シャントレギュレータを形成し、IC U1 への供給電圧が 15 V を超えないようにします。コンデンサ C8、C9 は、供給電圧をフィルタリングし、バイパスとデカップリング機能を提供して、IC U1 の動作の信頼性を確保します。ダイオード D3 は、極性の反転を保護します。

抵抗 R15 はパワーグッド [PG] ピンが高インピーダンス状態に入る出力電圧レベル [パワーグッドスレッショールド (PGT) ピン経由] を設定します。コンデンサ C14 は、POWER GOOD THRESHOLD ピンにノイズ耐性をもたらします。

IC U1 は、REFERENCE ピンに接続されるコンデンサ C10 によってフルパワーモードで構成されます。

電源の整流された AC 入力電圧は、抵抗 R10 ~ R13 を使用して IC U1 で検出されます。これらの抵抗は、消費電力を最小化するように大きい値です。ローサイド部抵抗 R13 と並列に接続されるコンデンサ C11 は、VOLTAGE MONITOR ピンでのノイズカップリングをフィルタリングします。

抵抗 R16 ~ R19 で構成される出力電圧分割回路を使用して、出力電圧をスケールし IC にフィードバックをもたらします。抵抗 R19 と並列のコンデンサ C16 は、高周波ノイズを減衰します。

R14、C12、C13 は、フィードバック回路のループ応答を調整するために必要です。

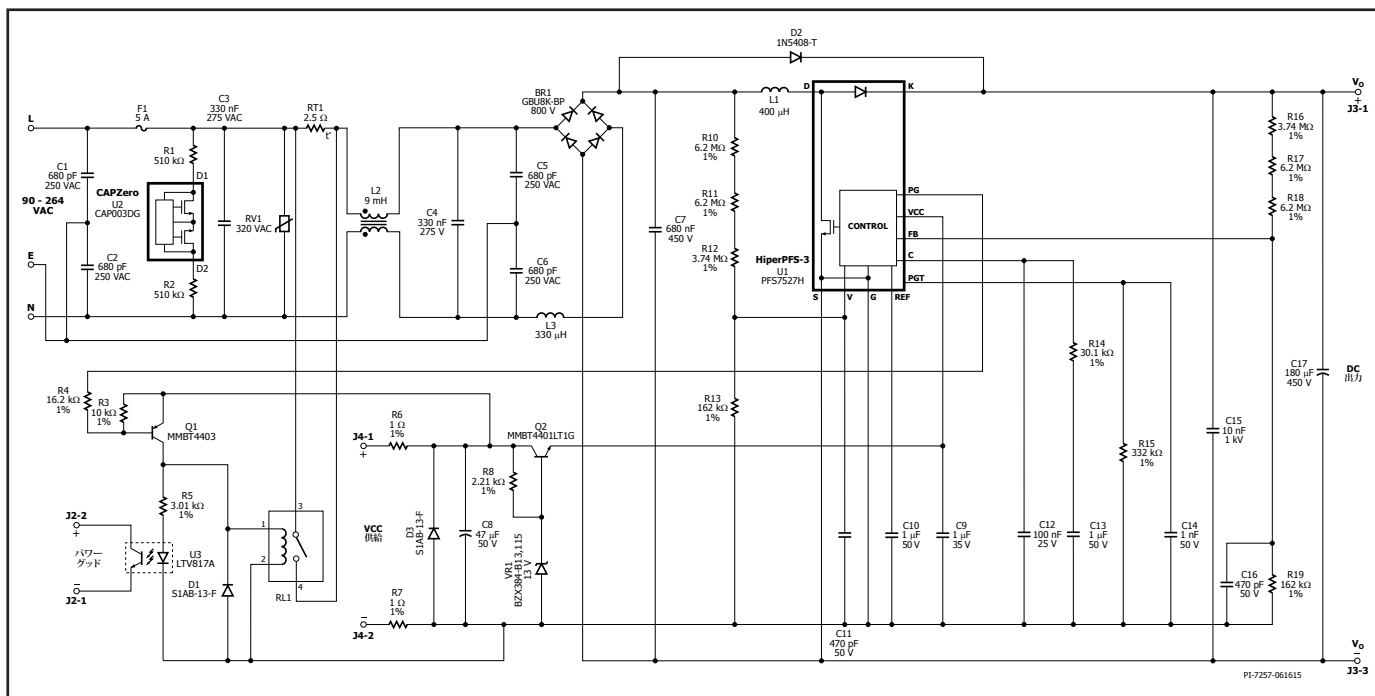


図 13. PFS7527H を使用した 275 W PFC 回路

設計、組み立て、レイアウトの考慮事項

電力テーブル

テーブル 2 に示されるデータシートに記載の電力テーブルは、以下の条件をベースに最大連続出力電力を示しています。

ユニバーサル入力デバイスでは (PFS7523L/H – PFS7529H):

1. 入力電圧範囲 90 VAC ~ 264 VAC
2. 最低動作電圧時の全体効率 93% 以上
3. 公称出力 385 W
4. デバイスの温度を 100 °C 以下に保持するための十分なヒートシンク

上述の制限を超える動作にはデレーティングが必要になります。温度が上昇した状態での動作は、MTBF の短縮と性能劣化、例えば効率の低下、電力制限、力率 (PF) の低下、自動復帰タイプ過熱保護が動作する原因になり、推奨されません。395 V を超える出力定格電圧の使用は、HiperPFS-3 に基づく設計では推奨されません。395 V を超える電圧での動作は、過渡入力や過負荷の際に想定を超えるドレイン - ソース間電圧の原因になります。

HiperPFS-3 の選択

最適な HiperPFS-3 製品は、必要な最大出力電力、PFC 効率と総合的なシステム効率 (2 段目の DC-DC コンバータと使用する場合)、ヒートシンクの制約、システム要件、コスト目標に応じて選択します。設計に使用する HiperPFS-3 製品は、電力テーブルで直近の上位または下位製品と容易に交換できます。これにより性能を最適化、効率を向上、または、熱設計の制約があるアプリケーションに適合させることができます。次の上位または下位の HiperPFS-3 製品を既存の設計に使用して性能を最適化する場合、設計によっては、インダクタンスの値と EMI フィルタ コンポーネントに多少の調整が必要になる場合があります。

すべての HiperPFS-3 ファミリー製品には、その性能を最大限に引き出す最適な負荷レベルがあります。製品の動作周波数は、負荷レベルに応じて変わります。周波数の変化は、使用するインダクタンスのピーク/ピーク電流リップルの変化の原因になります。電流リップルの変化は、入力 PF と、入力電流の全高調波歪みに影響します。

入力ヒューズ保護回路

入力ヒューズの定格は、最低入力電圧により PFC がオフになる際の連続電流に対応する必要があります。この電圧を、停止電圧と呼びます。

またヒューズには、起動中の不具合を避けるために十分な I² 定格が必要です。出力コンデンサが印加電圧のピークまで充電されるので、起動時に入力から大電流が印加されます。充電電流は、突入電流制限用サーミスタ、EMI フィルタ インダクタ、および入力整流器ダイオードの順方向抵抗によってのみ制限されます。通常は、入力サージから PFC を保護するために、MOV が必要になります。MOV 定格は、耐性のために PFC が必要になるエネルギー レベル (EN1000-4-5 クラス レベル) に応じて選択します。

突入電流を制限するために、適合する NTC サーミスタを入力側で使用する必要があります。このサーミスタは、電源の突入電流仕様に応じて選択する必要があります。回路図において、過渡入力時のストレス、突入電流抑制のため、NTC サーミスタを別の場所に配置することが出来ない場合があります。図 13 には、突入電流制限用の NTC サーミスタを入力側に置いて PFC 起動後はリレーによりバイパスされる例が示されています。この配置では、この回路によって突入電流を制限する機能が一貫して確保されます。

入力 EMI フィルタ

HiperPFS-3 のさまざまな発振周波数の切り替えは、スイッチング周波数を効果的に変調し、スイッチング周波数の高調波による雑音端子電圧の EMI ピークを下げます。これは、EMI 測定で使われる平均検出モードで特に効果があります。

PFC はスイッチング コンバータで、伝導およびラジエーション EMI を対象とする大半の安全規格の規格要件に適合するために、入力での EMI フィルタを必要とします。通常、X コンデンサが入力全体に接続されている共通モード フィルタは、入力電流の高周波成分を許容レベルまで減衰させる要件に対応します。共通モード フィルタ インダクタの漏れリアクタンスと X コンデンサは、ローパス フィルタを形成します。設計によっては、追加のディファレンシャル フィルタ インダクタを使用して、共通モード チョークのディファレンシャル モード インダクタンスを追加する必要があります。

低 ESR と高リップル電流容量を持つフィルタ コンデンサを、入力ブリッジ整流器の出力側に接続する必要があります。このコンデンサにより、入力電流リップルのスイッチング周波数成分の発生が削減され、EMI フィルタの設計を簡素化できます。通常、100 W 出力あたり 0.33 μ F をユニバーサル入力設計に使用し、100 W 出力あたり 0.15 μ F を 230 VAC 専用設計に使用する必要があります。

多くの場合、ブリッジ整流器の後にはより高い値のコンデンサを使用し、EMI フィルタの X コンデンサを削減できます。

安全規格により、使用する放電抵抗がブリッジ整流器 AC 側の入力 X コンデンサに接続されることを要求されています。これにより、コンデンサが 0.1 μ F より高い場合に、入力電圧が除去された後、残留電荷が確実に消失されます。Power Integrations の CAPZero 集積回路を使用すると、X コンデンサに固定接続された放電抵抗の使用に関係する定常損失の解消に役立ちます。

インダクタ設計

フェライト インダクタでは、最適な設計の場合 0.3 ~ 0.45 の K_p となります。 $(K_p$ は、電流のピーク/ピーク値を、最小 AC 電圧および 90° 位相角、最大負荷時のピーク値で割った値として定義されます)。0.3 未満の K_p (より連続的) では非常に大きなインダクタ サイズになる傾向があり、 K_p がより高く 0.45 を超える場合は、特に大半のフェライト インダクタの設計では 3 層以上の巻線層が求められるため、大きな高周波 AC 電流による過度の巻線 AC 抵抗損失になる傾向があります。最大電流制限時の磁束密度は、コアの飽和を避けるために 3900 ガウス未満である必要があります。

センダスト コアの材質を使用する場合、90 μ または 125 μ の素材を推奨します。これは、素材の μ 値が大きいほど低電流時にインダクタンスが大きくなる傾向があるので、ローラインの 45 度以下の位相角において、ピーク/ピークインダクタ電流が低下しますが、高入力電圧、軽負荷時に損失が減少し、PF が改善されます。設計目標は、ピーク電流時 (低ライン、最大負荷、90° ライン位相角) の H を最大で 60 A-t/cm にすることです。H が大きいほど、コアの損失が大きくなり、これより低い場合は AC 銅損が増加します。

HiperPFS-3 の設計計算シートはこのプロセスを簡素化し、フェライトまたはセンダストいずれでもコア サイズと設計を自動的に推奨します。

高い性能の設計では、表皮効果と近接効果による銅損を削減するため、リッツ巻線の使用が推奨されます。トロイダル インダクタでは、巻線の層数は 3 層未満の必要があり、ポピン巻線インダクタでは、層間絶縁を使用し層間容量を最小化する必要があります。

出力コンデンサ

385 V 定格 PFC では、450 V 以上の連続定格をとまなう電解コンデンサの使用を推奨します。必要な容量は、出力リップルの許容レベルと保持時間の要件に応じます。以下の方程式によって、保持時間の要件と出力リップルの要件適合するために必要な容量を容易に求めることができます。2 つの計算値のうち、大きい値を使用する必要があります。

次の方程式を使用して計算します。

$$C_o = \frac{2 \times P_{OUT} \times t_{HOLD-UP}}{V_{OUT}^2 - V_{OUT(MIN)}^2}$$

- C_o PFC 出力容量、単位 F。
- P_o PFC 出力電力、単位ワット。
- $t_{HOLD-UP}$ 電源供給の保持時間の指定、単位秒。
- V_{OUT} PFC の最低の公称出力電圧、単位ボルト。
- $V_{OUT(MIN)}$ 保持時間終了時の PFC の最低許容出力電圧、単位ボルト。

低周波数リップル仕様を満たすために必要な容量は、次の方程式を使用して計算します。

$$C_o = \frac{I_o^{MAX} h}{2 \times \pi \times f_L \times \Delta V_o \times \eta_{PFC}}$$

- f_L 入力周波数、単位 Hz。
- ΔV_o ピーク/ピーク出力電圧リップル、単位ボルト。
- η_{PFC} PFC の動作効率。
- I_o^{MAX} 最大出力電流、単位アンペア。

上記の方法を使用して計算した容量には、経年劣化や公差を考慮する必要があります。

IC の電源

12 V 一定電圧を HiperPFS-3 に供給する必要があります。VCC が 15 V を超えると、HiperPFS-3 が損傷する原因になります。HiperPFS-3 はその動作に最大およそ $I_{CC(ON)}$ しか必要ないので、大半のアプリケーションでは NPN トランジスタとツェナー ダイオードを使用して作成されたシンプルなシリーズパス リニア レギュレータが適切です。

1 μ F 以上の低 ESR セラミック コンデンサを使用して VCC 供給をデカップリングすることが推奨されます。このコンデンサは、回路基板上の IC ピンに直接配置する必要があります。

入力センス回路

VOLTAGE MONITOR ピンに接続される入力センス回路は、入力電圧情報を HiperPFS-3 に供給します。この設計例では 16 M Ω の値が選択されていることで、これらの抵抗における消費電力を最小化します。公差 1% の抵抗のみが推奨されます。

470 pF のデカップリング コンデンサをローサイド部抵抗と並列に VOLTAGE MONITOR ピンから HiperPFS-3 の GROUND ピンに接続する必要があります。このコンデンサは、回路基板上の IC ピンに直接配置する必要があります。

フィードバック回路

性能の最適化のために、FEEDBACK ピンにおいて定格出力電圧で 3.85 V を可能にする抵抗分割回路を使用する必要があります。適切なレギュレーションと電力供給を保証するために、VOLTAGE MONITOR ピン抵抗分割回路に直接比例してスケールする必要があります。HiperPFS-3 コントローラは、385 VDC の出力電圧による動作に最適化されています。この通常の値以外の電圧が要求されるアプリケーション、すなわち推奨される 100:1

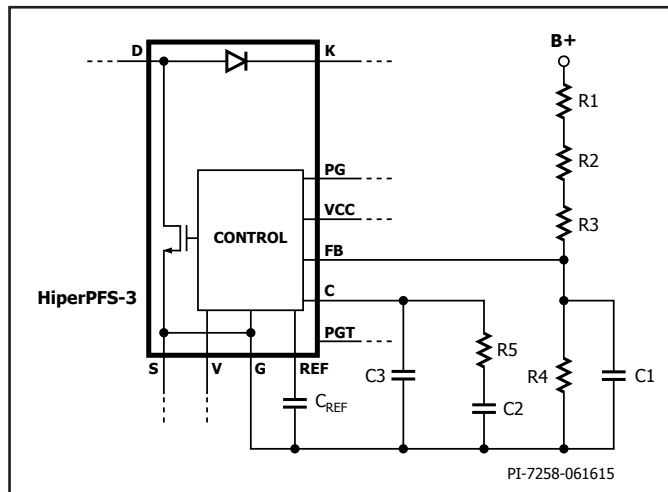


図 14. 推奨されるフィードバック回路

以外の FEEDBACK ピン分割回路比を必要とするアプリケーションについては、具体的な設計の主要なターゲット パラメータのトレードオフを評価する必要があります。例: VOLTAGE MONITOR ピン分割回路比は、力率を最適化するためにフィードバック分割回路の比率に相当するように変更できます。ただし、これは電力制限や起動/停止スレッショールドなどにも影響します。公称の ± 10 V 範囲での変更であれば性能が大幅に犠牲になることはありませんが、総合的な検証が必要です。これを上回る変更は推奨されません。この種のトレードオフを項目別に表示することは、このデータシートの範囲外になります。

推奨される回路と関連する部品の値については、図 14 を参照してください。

抵抗、R1 から R4 は、メインの出力電圧分割回路で構成されます。抵抗 R1、R2、R3 の合計は上側分割抵抗で、下側フィードバック抵抗は R4 です。コンデンサ C1 は FEEDBACK ピンにカップリングされるスイッチング ノイズをフィルタリングするためのものです。抵抗 R5、コンデンサ C2 と C3 は帰還ループ補償ネットワークです。これは、低クロスオーバー周波数と十分な位相マージンを確保するためのループ応答の調整に必要なものです。使用する部品の推奨値は以下のとおりです。

- R1 = 3.74 M Ω
- R2 = 6.2 M Ω
- R3 = 6.2 M Ω
- R5 = 30.1 k Ω
- C1 = 470 pF
- C2 = 1 μ F
- C3 = 100 nF

上記の部品の値を使用する場合、抵抗 R4 の値は以下の方程式を使用して計算できます。

$$R_4 = \frac{(R_1 + R_2 + R_3)}{\left(\frac{V_o}{V_{FB(REF)}} - 1\right)}$$

- V_o 出力電圧。
- $V_{FB(REF)}$ FEEDBACK ピン電圧、3.85 V。

設計によっては抵抗 R_5 の値を調整する必要があり、ガイドラインのように、以下の計算による値を使用できます。

$$R_5 = R_Z = \frac{P_o}{0.3 \times V_o^2 \times C_o} (k\Omega)$$

P_o 最大連続出力電力、単位ワット。
 V_o 公称 PFC 出力電圧、単位ボルト。
 C_o PFC 出力容量、単位ファラッド。

ヒートシンクと熱設計

図 15、16、17 は、HiperPFS-3 に推奨されるアセンブリの例を示しています。このアセンブリでは絶縁パッドが不要で、HiperPFS-3 をクリップまたは接着サーマルコンパウンドによって直接ヒートシンクに接続できます。

HiperPFS-3 バックメタルは電気的にヒートシンクに接続され、EMI を減少するためにヒートシンクは HiperPFS-3 ソース端子に接続する必要があります。

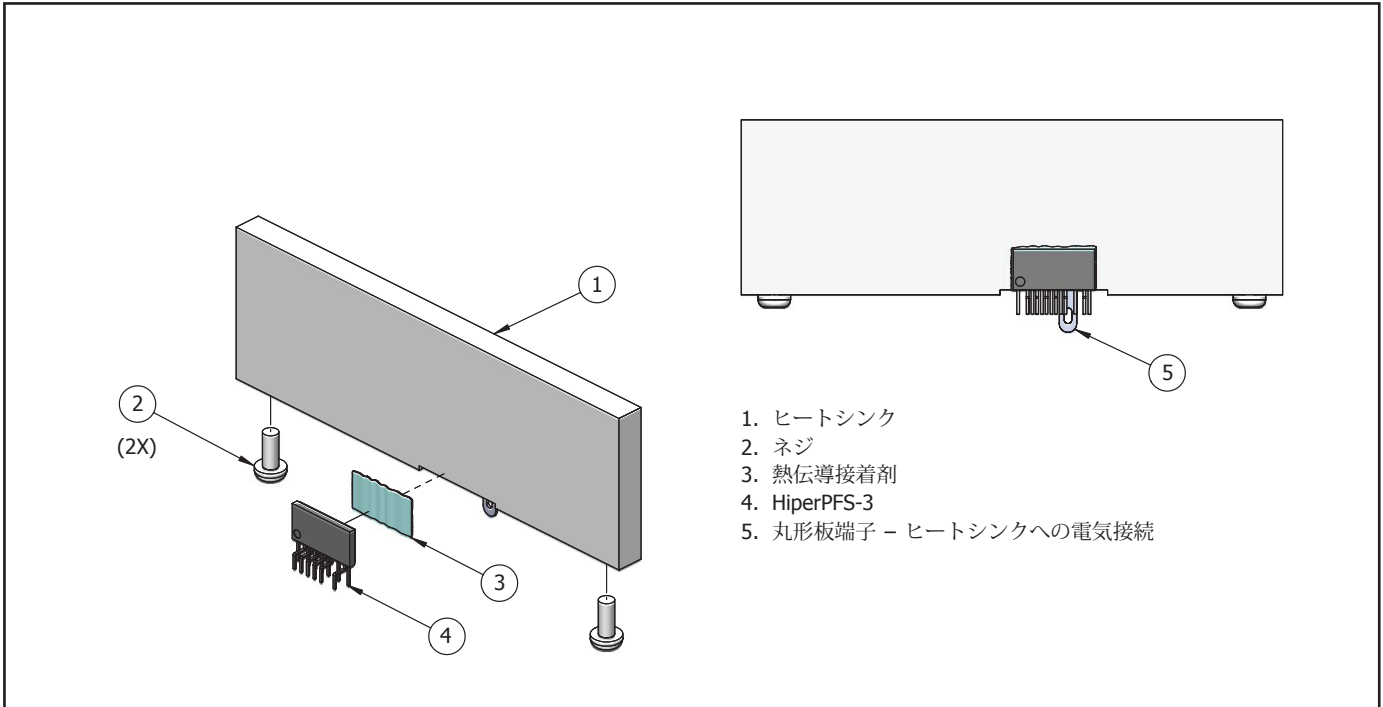


図 15. ヒートシンク 組立て – 熱伝導接着剤を使用

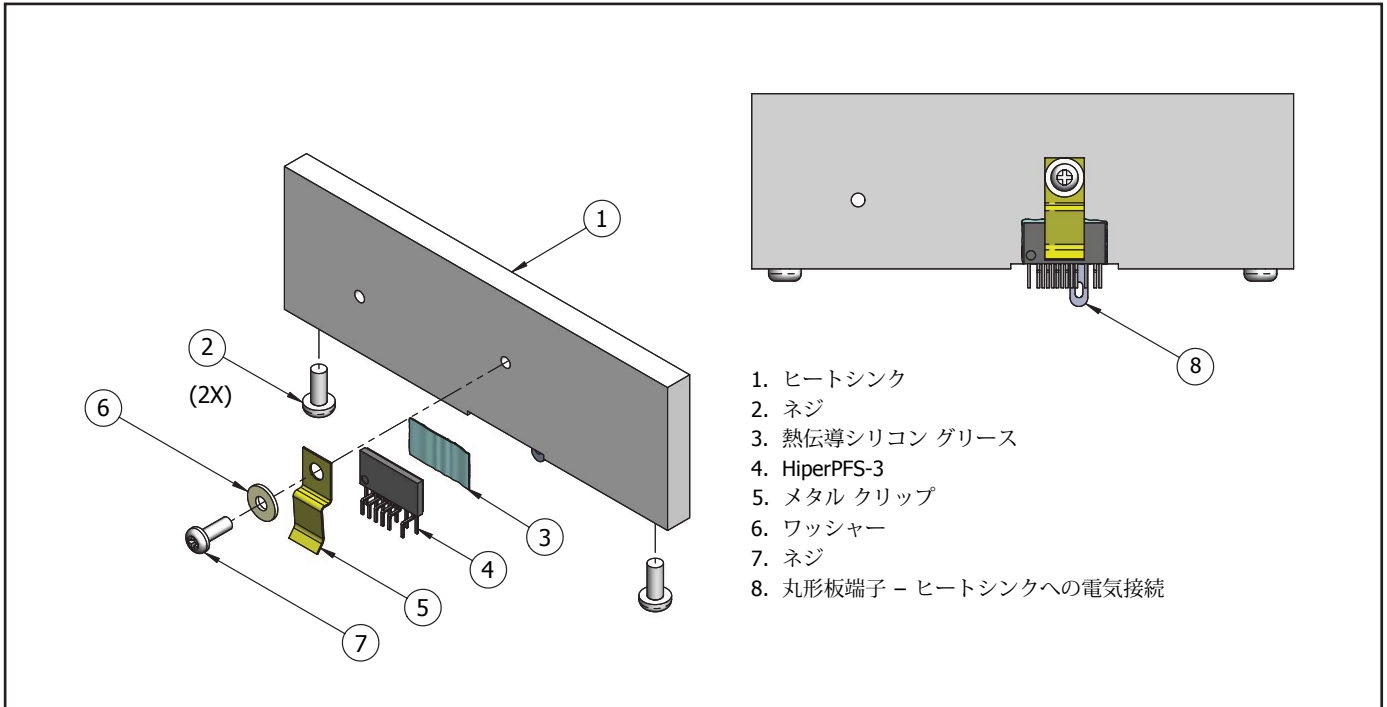


図 16. ヒート シンク 組立て - 金属クリップを使用

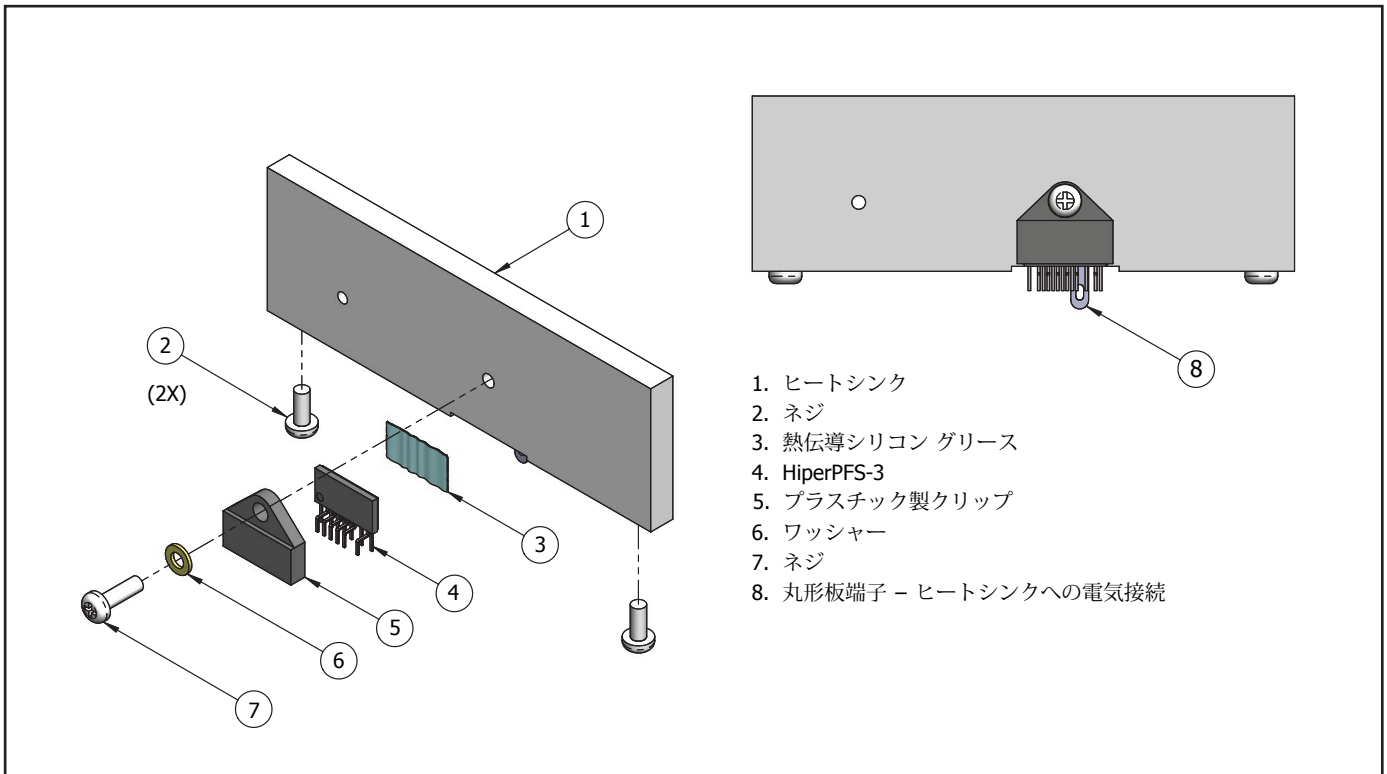


図 17. ヒート シンク 組立て - プラスチック製クリップを使用

基板の設計ガイドラインと設計例

入力センサ回路とフィードバック回路は、大きな値の抵抗を使用することにより、フィードバック回路と入力センサ回路での消費電力を最小化します。フィードバック回路および入力センサ回路部品は、高電圧、高電流のノードから離れた位置に配置し、ノイズを最小限に抑えてください。一般に、フィードバック回路または入力センサ回路にノイズが混入すると、力率が低下します。過度のノイズが混入すると、波形が不安定または非対称になる場合があります。

EMI フィルタ部品は、フィルタの効果を高めるために、まとめて配置する必要があります。入力回路が PFC インダクタのドレイン ノードから離れた位置になるように、回路基板上の EMI フィルタ部品を配置してください。

フィルタまたはデカップリング コンデンサは、ブリッジ整流器の出力に配置してください。このコンデンサは、EMI フィルタの X コンデンサおよびソースのディファレンシャル インダクタンスとともに、入力電流のスイッチング周波数の電流リップルを削減するフィルタとして機能します。このコンデンサは、スイッチング周波数の電流ループのループ エリアを最小化するのにも役立ち、この結果、EMI を削減します。

HiperPFS-3 のドレイン ノード、出力ダイオードのドレイン端子、および PFC インダクタ間の接続は、できる限り短くします。

PFC の出力ダイオードのカソードと HiperPFS-3 のソース端子との間に、低損失セラミック誘電体コンデンサを接続してください。これにより、MOSFET の OFF 時に高周波電流が流れるループ エリアが最小限に抑えられ、ループを移動するダイオード電流の高周波パルスに対するリングングによるラジエーション EMI も削減されます。

基板上に部品を配置する際に、他の部品を配置して配線する前に、電圧モータ、フィードバック、基準およびバイアス電力デカップリング コンデンサを可能な限りピンの近くに配置するのが最善の方法です。REFERENCE ピンデカップリング コンデンサには、GROUND ピンへの専用のリターン経路が必要です。この経路がないと、サージおよび ESD テストの際にノイズ耐性が弱まります。GROUND ピンからの電源リターン用の基板配線は、フィードバック回路部品を GROUND ピンに接続する基板配線から分離する必要があります。

レギュレーションに影響を与える配線インピーダンスの影響を最小限に抑えるため、出力フィードバックは出力コンデンサのプラス端子から直接接続してください。入力センサ抵抗の上端は、ブリッジ整流器の出力に接続されている高周波フィルタ コンデンサに接続してください。

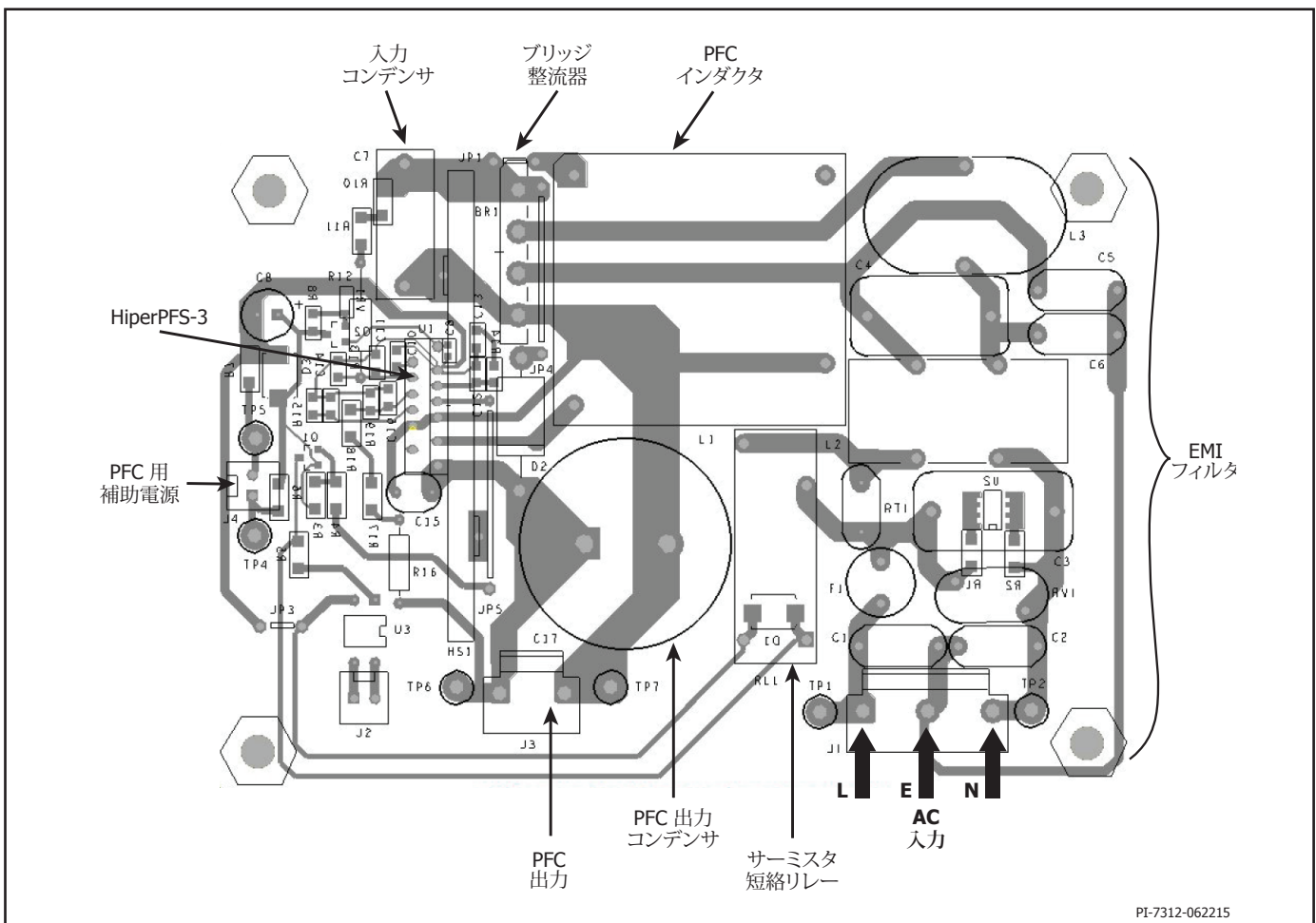


図 18. 基板レイアウトの例

設計のクイック チェックリスト

いかなる電源設計においても HiperPFS-3 を使用する場合はすべて、最悪条件で部品仕様を超えないことをベンチマークテストで検証する必要があります。最低限、次の試験を行うことを強く推奨します。

1. 最大ドレイン電圧 — 最小入力電圧、最大過負荷出力電力時に、VDS のピークが 530 V を超えないことを検証します。過負荷出力電力が最大になるのは、出力が最高定格負荷を超えるレベルまで過負荷状態になったときか、電源の出力電圧がレギュレーションを外れる前です。この電圧を上回る場合は、追加の外部スナバを使用する必要があります。大半の設計では、33 pF から 100 pF の幅の追加セラミックコンデンサを PFC 出力ダイオードに接続すると、最大ドレイン - ソース間の電圧が BV_{DS} 定格を下回るレベルに減少します。MOSFET のドレイン - ソース間電圧を測定する場合は、高電圧プローブを使用してください。プローブの先端を取り外すと、プローブ先端の近くに銀色のリングがあります。このリングはグラウンド電位にあるとともに、ノイズのない測定を行うための最善の接地接続点にあります。硬いワイヤを接地リングに巻き付け、その接地ワイヤを可能な限り最短の結線長で回路に接続し、さらにプローブ先端を測定ポイントに接続することで、エラーのない測定が保証されます。エラーのない測定を確保するため、プローブはプローブ製造者のガイドラインに従って補償する必要があります。
2. 最大ドレイン電流 — ドレイン電流はインダクタ電流を監視することで間接的に測定できます。電流プローブは、ブリッジ整流器とインダクタ接続の間に挿入する必要があります。最大周囲温度、最小入力電圧、および最大出力負荷で、起動時にインダクタ飽和の兆候がないかドレイン電流波形を検証します。センダスト インダクタでこの測定を行う場合、通常は、透磁率の低下による電流の急激な増加を示すインダクタ波形を確認します。これをハードな飽和と混同しないでください。
3. 温度特性の確認 — 最大出力電力、最小入力電圧、および最高周囲温度で、HiperPFS-3、PFC インダクタ、出力ダイオード、出力コンデンサがそれぞれの温度仕様を超えないことを検証します。HiperPFS-3 の $R_{DS(ON)}$ には、データシートに指定された部品間のバラつきを許容する十分な温度マージンが必要です。このようなバラつきを許容するために推奨される最大パッケージ温度は、100 °C です。
4. 入力 PF は負荷とともに向上するはずで、負荷が加わると性能が徐々に劣化することが判明した場合は、VOLTAGE MONITOR ピン回路またはフィードバック分割回路および補償回路によるノイズ干渉の兆候と考えられます。

絶対最大定格^(1,2)

DRAIN ピン ピーク電流:	PFS7523/PFS75337.5 A
	PFS7524/PFS7534 9.0 A
	PFS7525/PFS753511.3 A
	PFS7526/PFS753613.5 A
	PFS7527/PFS753715.8 A
	PFS7528/PFS753818.0 A
	PFS7529/PFS753921.0 A
DRAIN ピン電圧-0.3 V ~ 530 V / 540 V ⁽⁶⁾
VCC ⁽³⁾ ピン電圧-0.3 V ~ 17.5 V
PG-0.3 V ~ 17.5 V
PG ピン電流10 mA
V、PGT、FB、C、REF ピン電圧-0.3 V ~ 5.6 V
保管温度-65 °C ~ 150 °C
ジャンクション温度 ⁽⁴⁾-40 °C to 150 °C
リード温度 ⁽⁵⁾ 260 °C

注:

- 全ての電圧は SOURCE を基準とし、 $T_A = 25\text{ °C}$ 。
- 仕様の最大定格は、一度に 1 回のみであれば製品に回復不能な損傷を与えることなく印加できます。絶対最大定格の状態を長時間続けると、製品の信頼性に悪影響を与えるおそれがあります。
- VCC の絶対最大定格は 17.5 V です。これは超えてはならない絶対最大条件です。最大動作電圧 (15 V) と絶対最大定格の間の電圧は、頻繁に発生するものではなく、短期間に限定されます (起動時や一時障害条件など)。絶対最大定格は、製品の信頼性を保証するものではなく、超えた場合に製品に対して直ちに損傷のリスクが生じる印加電圧のレベルのためのガイドラインです。
- 通常は内部回路によって制限されます。コントローラ $T_{J(C)}$ 、MOSFET $T_{J(M)}$ およびダイオード ジャンクション温度 $T_{J(D)}$ に印加されます。
- ケースから 1/16 インチの点で 5 秒間。
- 15 ns 以下の時間および $I_{DS} \leq I_{OC(TYP)}$
- $T_{C(D)}$ ダイオード ケース温度。

Qspeed ダイオード

		PFS7523-7529 PFS7533-7535	PFS7536-7539
ピーク繰り返し逆電圧 (VRRM)		530 V	530 V
平均順電流 IF(AV)	$T_{J(D)} = 150\text{ °C}$	3 A	6 A
最大非繰り返しサージ電流 (IFSM)	60 Hz、1/2 サイクル、 $T_{C(D)}^{(7)} = 25\text{ °C}$	50 A	100 A
最大非繰り返しサージ電流 (IFSM)	$t = 500\text{ }\mu\text{s}$ 、 $T_{C(D)}^{(7)} = 25\text{ °C}$	130 A	260 A

熱抵抗

熱抵抗: H/L パッケージ:

$(\theta_{JA})^{(4)}$	103 °C/W
(θ_{JC})	(図 21 を参照)

注:

- コントローラ ジャンクション温度 ($T_{J(C)}$) は MOSFET ジャンクション温度 ($T_{J(M)}$) およびダイオード ジャンクション温度 ($T_{J(D)}$) を下回る場合があります。

パラメータ	シンボル	条件 SOURCE = 0 V; $V_{CC} = 12\text{ V}$ 、 -40 °C < $T_{J(C)} < 125\text{ °C}$ (注 C) (特に指定がない場合)	ピン	最小	標準	最大	単位
電流							
コアおよびツェナーの起動後の低電圧電流消費	$I_{CC(UVLO)}$	$V_{CC} < UVLO+(\text{min})$ $V = 1\text{ V}$ 、 $C = 0\text{ V}$ 、 $FB = 3.85\text{ V}$ $0\text{ °C} < T_{J(C)} < 100\text{ °C}$	VCC		140		μA
待機時消費電流 — 起動前のスイッチングが無い状態	$I_{CC(STBY)}$	$V = 1\text{ V}$ 、 $C = 0\text{ V}$ 、 $FB = 3.85\text{ V}$ $0\text{ °C} < T_{J(C)} < 100\text{ °C}$	VCC		320		μA
電流消費 — バーストモードで、スイッチングなし	$I_{CC(BURST)}$	$FB = 3.85\text{ V}$ 、 $C < V_{ERR_MIN}$ $V = 1.414\text{ V}$ (または高入力電圧専用部品では 2.828 V) $0\text{ °C} < T_{J(C)} < 100\text{ °C}$	VCC		395	470	μA

パラメータ	シンボル	条件 SOURCE = 0 V; V _{CC} = 12 V、 -40 °C < T _{J(C)} < 125 °C (注 C) (特に指定がない場合)	最小	標準	最大	単位	
電流 (続き)							
動作電流	I _{CC(ON)}	REF で無負荷時 F _{MIN} でのスイッチング (T _{OFF} = T _{OFF(MIN)} , T _{ON} = T _{ON(MAX)}) 0 °C < T _{J(C)} < 100 °C	PFS7523 PFS7533	0.64	0.75	0.90	mA
			PFS7524 PFS7534	0.67	0.79	0.95	
			PFS7525 PFS7535	0.74	0.88	1.05	
			PFS7526 PFS7536	0.79	0.93	1.12	
			PFS7527 PFS7537	0.85	1.00	1.20	
			PFS7528 PFS7538	0.91	1.07	1.28	
			PFS7529 PFS7539	0.98	1.15	1.38	
UVLO 状態での漏れ電流	I _{OZ}	0 < ピン電圧 < REF 0 °C < T _{J(C)} < 100 °C	V, FB, C, PGT		±10	nA	
		V _{PG} = 12 V	PG		±0.1	µA	
フィードバック ピンでのプル ダウン電流	I _{FB(PD)}	VCC < UVLO+ のとき アクティブでない 0 °C < T _{J(C)} < 100 °C	FB		100	nA	
V ピンでのプルダウン電流	I _{V(PD)}	VCC < UVLO+ のとき アクティブでない 0 °C < T _{J(C)} < 100 °C	V		100	nA	
オン時間制御							
動作時の最大 ON 時間	t _{ON(MAX)}	0 °C < T _{J(C)} < 100 °C		29	34	40	µs
オフ時間制御							
動作時の最大 Off 時間	t _{OFF(MAX)}	0 °C < T _{J(C)} < 100 °C		36	43	48	µs
オフ時間精度	t _{OFF(ACCURACY)}	0 °C < T _{J(C)} < 100 °C V = 1.414 V (または高入力電圧のみでは 2.828) FB = 3.85 V C > = 4 V			±4.0		%
フィードバック							
フィードバック電圧基準	V _{FB(REF)}	T _{J(C)} = 25 °C		3.82	3.85	3.88	V
		0 °C < T _{J(C)} < 100 °C		3.75	3.85	3.95	
フィードバック エラーアンプ トランスコンダクタンス ゲイン	G _M	3.75 V < V _{FB} < 3.95 V V _C = 4 V 0 °C < T _{J(C)} < 100 °C		75	95	105	µA/V
ソフトシャットダウン時間	t _{SHUTDWN}	注 A を参照		0.86	1.00	1.16	ms
FEEDBACK ピン起動/不良 スレッシュホールド	V _{FB(OFF)}	0 °C < T _{J(C)} < 100 °C		0.57	0.64	0.71	V

パラメータ	シンボル	条件 SOURCE = 0 V; $V_{CC} = 12$ V、 $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (注 C) (特に指定がない場合)	最小	標準	最大	単位
フィードバック (続き)						
FEEDBACK ピン低入力電圧 動作スレッシュホールド	$V_{FB(UV)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	2.09	2.25	2.36	V
FEEDBACK ピン過電圧動作 スレッシュホールド	$V_{FB(OV+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	4.00	4.10	4.20	V
FEEDBACK ピン過電圧動作 相対スレッシュホールド	$V_{FB(OV+REL_FB)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	$V_{FBREF} + 0.19$	$V_{FBREF} + 0.245$	$V_{FBREF} + 0.30$	
FEEDBACK ピン過電圧復帰 スレッシュホールド	$V_{FB(OV-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	3.90	4.00	4.10	V
FEEDBACK ピン過電圧復帰 相対スレッシュホールド	$V_{FB(OV-REL_FB)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	$V_{FBREF} + 0.11$	$V_{FBREF} + 0.16$	$V_{FBREF} + 0.21$	
FEEDBACK ピン過電圧ヒス テリシス	$V_{FB(OVHYST)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.070	0.085	0.115	V
COMPENSATION ピン PF エンハンサー無効スレッシュ ホールド	$V_{LOW(Load+)}$	注 A を参照		1.1		V
COMPENSATION ピン PF エンハンサー有効スレッシュ ホールド	$V_{LOW(Load-)}$	注 A を参照		1.0		V
COMPENSATION ピン PF エンハンサー スレッシュホー ルド ヒステリシス	$V_{LOW(Load_HYST)}$	注 A を参照		0.1		V
COMPENSATION ピン バースト停止スレッシュ ホールド	$V_{ERR(MIN+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.19		V
COMPENSATION ピン バースト動作スレッシュ ホールド	$V_{ERR(MIN-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.1		V
COMPENSATION ピン バースト スレッシュホールド ヒステリシス	$V_{ERR(HYST)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		0.09		V
入力センス/ピーク検出器						
入力センス電圧範囲	$V_{V(RANGE)}$	注 A を参照	0		4	V
起動スレッシュホールド電圧	V_{BR+}	ユニバーサル入力デバイス (PFS7523-PFS7529) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	1.08	1.12	1.16	V
		高電圧専用の入力デバイス (PFS7533-PFS7539) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	2.30	2.35	2.42	

パラメータ	シンボル	条件 SOURCE = 0 V; $V_{CC} = 12$ V、 $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (注 C) (特に指定がない場合)	最小	標準	最大	単位	
入力センス/ピーク検出器 (続き)							
停止スレッシュホールド電圧	V_{BR}	ユニバーサル入力デバイス (PFS7523-PFS7529) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.93	0.97	1.02	V	
		高電圧専用の入力デバイス (PFS7533-PFS7539) $0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	2.15	2.21	2.27		
起動/停止ヒステリシス (NTC ウォームアップ時間後)	$V_{BR(HYS)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.13	0.145	0.160	V	
高デューティ サイクル方形波の 停止スレッシュホールド	$V_{BR(SQ)}$	ユニバーサル入力デバイス (PFS7523-PFS7529)		0.86		V	
		高電圧専用の入力デバイス (PFS7533-PFS7539)		1.93			
起動停止スレッシュホールド電 圧 (NTC ウォームアップ時間中)	$V_{BR(NTC)}$	ユニバーサル入力デバイス (PFS7523-PFS7529)		0.74		V	
		高電圧専用の入力デバイス (PFS7533-PFS7539)		1.57			
停止 NTC デバウンス タイマー	$t_{BRWNOUT(NTC)}$	注 A を参照	875	1000	1160	ms	
停止デバウンス タイマー	$t_{BRWNOUT}$	注 A を参照	43	54	66	ms	
より低い停止スレッシュホールド 使用時の起動タイマー (V_{BR-NTC})	$t_{STARTUP}$	注 A を参照	875	1000	1160	ms	
VOLTAGE ピン高入力電圧動作 スレッシュホールド	$V_{V(HIGH+)}$	注 A を参照		2.42		V	
VOLTAGE ピン高入力電圧復帰 スレッシュホールド	$V_{V(HIGH-)}$	注 A を参照		2.00		V	
VOLTAGE ピン最小動作ピー ク値	$V_{PK(MIN)}$	注 A を参照		0.71		V	
カレント リミット/回路保護							
過電流 保護		PFS7523L/H $di/dt = 250\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	3.8	4.1	4.3	A
			$V_V > 2.42\text{ V}$	2.6	2.8	3.0	
		PFS7524L/H $di/dt = 300\text{ mA}/\mu\text{s}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$	$V_V < 2\text{ V}$	4.5	4.8	5.1	
			$V_V > 2.42\text{ V}$	3.0	3.3	3.5	

パラメータ	シンボル	条件 SOURCE = 0 V; V _{CC} = 12 V、 -40 °C < T _{J(C)} < 125 °C (注 C) (特に指定がない場合)	最小	標準	最大	単位
カレントリミット/回路保護 (続き)						
過電流 保護	I _{OCP}	PFS7525L/H di/dt = 400 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	5.5	5.9	6.2
			V _V > 2.42 V	3.6	4.0	4.4
		PFS7526H di/dt = 500 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	6.8	7.2	7.5
			V _V > 2.42 V	4.6	4.9	5.25
		PFS7527H di/dt = 650 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	8.0	8.4	8.8
			V _V > 2.42 V	5.35	5.8	6.2
		PFS7528H di/dt = 800 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	9.0	9.5	9.9
			V _V > 2.42 V	6.0	6.5	7.1
		PFS7529H di/dt = 920 mA/μs T _{J(C)} = 25 °C	V _V < 2 V	10	10.5	11
			V _V > 2.42 V	6.7	7.2	7.7
		PFS7533H di/dt = 250 mA/μs T _{J(C)} = 25 °C		3.8	4.1	4.3
		PFS7534H di/dt = 300 mA/μs T _{J(C)} = 25 °C		4.5	4.8	5.1
		PFS7535H di/dt = 400 mA/μs T _{J(C)} = 25 °C		5.5	5.9	6.2
		PFS7536H di/dt = 500 mA/μs T _{J(C)} = 25 °C		6.8	7.2	7.5
		PFS7537H di/dt = 650 mA/μs T _{J(C)} = 25 °C		8.0	8.4	8.8
		PFS7538H di/dt = 800 mA/μs T _{J(C)} = 25 °C		9.0	9.5	9.9
PFS7539H di/dt = 920 mA/μs T _{J(C)} = 25 °C		10	10.5	11		

パラメータ	シンボル	条件 SOURCE = 0 V; $V_{CC} = 12$ V、 $-40\text{ }^{\circ}\text{C} < T_{J(C)} < 125\text{ }^{\circ}\text{C}$ (注 C) (特に指定がない場合)	最小	標準	最大	単位
カレントリミット/回路保護 (続き)						
電力制限での正規化された周波数	F_{LIM}	$C_{REF} = 1.0\text{ }\mu\text{F}$ $T_{J(C)} = 25\text{ }^{\circ}\text{C}$		±7		%
		$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$		±10		
SOA 保護固定オフ時間	$t_{OFF(SOA)}$	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$	200	250	300	μs
リーディング エッジ ブラン キング (LEB) 時間	t_{LEB}	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$ 注 A を参照		220		ns
IOCP の最小 ON 時間	$t_{ON_OCP(MIN)}$	$T_{J(C)} = 25\text{ }^{\circ}\text{C}$		400		ns
VCC 補助電源						
VCC 動作範囲	VCC		UVLO+	12	15	V
起動 VCC (立ち上がりエッジ)	$V_{CC(UVLO+)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	9.6	9.85	10.1	V
シャットダウン VCC (立ち下がりエッジ)	$V_{CC(UVLO-)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	9.05	9.3	9.55	V
VCC ヒステリシス	$V_{CC(HYS)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	0.50	0.57	0.65	V
UVLO シャットダウン遅延タイ マー	$t_{UV(L0-)}$	注 A を参照		500		ns
VCC > $V_{CC(UVLO+)}$ からデバイ スがスイッチングを開始するま での時間	t_{RESET}	$V > V_{BR+}$ 注 A を参照		60	75	ms
シリーズレギュレータ						
REFERENCE ピン電圧	V_{REF}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$	4.95	5.25	5.45	V
REFERENCE ピンの外付け 容量	C_{REF}	フル パワー モード	0.8	1.0		μF
		効率モード	0.08	0.1	0.2	
REFERENCE ピン UVLO 立ち上がりエッジ	REF_{UV+}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$ 注 A を参照			5.0	V
REFERENCE ピン UVLO 立ち下がりエッジ	REF_{UV-}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$ 注 A を参照	4.4			V
パワー グッド						
パワー グッド復帰スレッシュ ホールド出力基準電流	$I_{PG(T)}$	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$; $V_{PGT} = 3.0$ V	-10.65	-10	-9.35	μA
パワー グッド遅延時間 (FB > V_{PG+} から PG < 1 V)	t_{PG}	$0\text{ }^{\circ}\text{C} < T_{J(C)} < 100\text{ }^{\circ}\text{C}$; PG = 20 kΩ プルアップか ら VCC、注 Note A を参照		<15		μs
パワー グッド Deglitch 時間	$t_{PG(D)}$	注 A を参照	57	81	108	μs

パラメータ	シンボル	条件 SOURCE = 0 V; V _{CC} = 12 V、 -40 °C < T _{J(C)} < 125 °C (注 C) (特に指定がない場合)	最小	標準	最大	単位	
パワー グッド (続き)							
パワー グッド内部動作スレッ シュホールド	V _{PG(+)}	0 °C < T _{J(C)} < 100 °C	3.55	3.65	3.75	V	
パワー グッド相対スレッシュ ホールド	V _{PG+REL(FB)}	0 °C < T _{J(C)} < 100 °C	V _{FBREF} -0.24	V _{FBREF} -0.20	V _{FBREF} -0.16		
パワー グッド復帰スレッシュ ホールド	V _{PG(-)}	V (PGT) = 3 V 0 °C < T _{J(C)} < 100 °C	2.94	V (PGT) ±30 mV	3.06	V	
POWER GOOD ピンオフ時 漏れ電流	IOZH _{PG}	FB < V _{PG-} 0 °C < T _{J(C)} < 100 °C			500	nA	
POWER GOOD ピンオン時 電圧	VOL _{PG}	0 °C < T _{J(C)} < 100 °C I _{PG} = 2.0 mA; FB = 3.85 V			2	V	
過熱保護機能 (OTP)							
シャットダウンのコントロー ラ ジャンクション温度 (T _{J(C)})	T _{OTP+}	注 A を参照		117		°C	
再起動のコントローラ ジャン クション温度 (T _{J(C)})	T _{OTP-}	注 A を参照		81		°C	
過熱ヒステリシス	T _{OTP(HYST)}	V > V _{BR+} 注 A を参照		36		°C	
VTS MOSFET							
オン抵抗	R _{DS(ON)}	I _D = 0.5 × I _{OCP}	PFS7523 PFS7533	T _{J(M)} = 25 °C	0.61	0.76	Ω
				T _{J(M)} = 100 °C		1.10	
			PFS7524 PFS7534	T _{J(M)} = 25 °C	0.51	0.63	
				T _{J(M)} = 100 °C		0.92	
			PFS7525 PFS7535	T _{J(M)} = 25 °C	0.41	0.51	
				T _{J(M)} = 100 °C		0.73	
			PFS7526 PFS7536	T _{J(M)} = 25 °C	0.34	0.42	
				T _{J(M)} = 100 °C		0.62	
			PFS7527 PFS7537	T _{J(M)} = 25 °C	0.30	0.36	
				T _{J(M)} = 100 °C		0.52	
			PFS7528 PFS7538	T _{J(M)} = 25 °C	0.26	0.32	
				T _{J(M)} = 100 °C		0.46	
PFS7529 PFS7539	T _{J(M)} = 25 °C	0.22	0.27				
	T _{J(M)} = 100 °C		0.40				

パラメータ	シンボル	条件 SOURCE = 0 V; V _{CC} = 12 V、 -40 °C < T _{J(C)} < 125 °C (注 C) (特に指定がない場合)	最小	標準	最大	単位	
VTS MOSFET							
有効な出力容量	C _{oss}	T _{J(M)} = 25 °C V _{GS} = 0 V、 V _{DS} = 0 ~ 80% BV _{DSS} 注 A を参照	PFS7523 PFS7533			176	pF
			PFS7524 PFS7534			210	
			PFS7525 PFS7535			265	
			PFS7526 PFS7536			312	
			PFS7527 PFS7537			369	
			PFS7528 PFS7538			420	
			PFS7529 PFS7539			487	
ブレイクダウン電圧	BV _{DSS}	T _{J(M)} = 25 °C, V _{CC} = 12 V I _D = 250 μA, V _{FB} = V _V = 0 V	530			V	
ブレイクダウン電圧温度係数	BV _{DSS(TC)}	注 A を参照		0.048		%/°C	
オフ時ドレイン電流漏れ	I _{DSS}	V _{DS} = 80% BV _{DSS} V _{CC} = 12 V V _{FB} = V _V = V _C = 0	PFS7523 PFS7533	T _{J(M)} = 100 °C		80	μA
			PFS7524 PFS7534	T _{J(M)} = 100 °C		100	
			PFS7525 PFS7535	T _{J(M)} = 100 °C		120	
			PFS7526 PFS7536	T _{J(M)} = 100 °C		150	
			PFS7527 PFS7537	T _{J(M)} = 100 °C		170	
			PFS7528 PFS7538	T _{J(M)} = 100 °C		200	
			PFS7529 PFS7539	T _{J(M)} = 100 °C		235	
ターンオフ電圧立ち上がり時間	t _R	注 A、B、C を参照		50		ns	
ターンオン電圧立ち下がり時間	t _F	注 A、B、C を参照		100		ns	

パラメータ	シンボル	条件	最小	標準	最大	単位
Qspeed ダイオード (3A) PFS7523-7529/7533-7535						
DC 特性						
逆電流	I_R	$V_R = 530\text{ V}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		0.4	μA
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		0.07	mA
順方向電圧	V_F	$I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		1.55	V
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		1.47	
接合入力容量	C_j	$V_R = 10\text{ V}, 1\text{ MHz}$			18	pF
ダイナミック特性 (注: ダイナミック特性の定義については図 19, 20 を参照)						
逆回復時間	t_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		26.5	ns
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		32	
逆回復電荷	Q_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		40.6	nC
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		65.7	
最大逆回復電流	I_{RRM}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		2.1	A
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		3.0	
ソフトネス ファクタ = t_B/t_A	S	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 3\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$		1	
			$T_{J(D)} = 100\text{ }^\circ\text{C}$		0.45	

パラメータ	シンボル	条件	最小	標準	最大	単位
Qspeed ダイオード (6A) PFS7536-7539						
DC 特性						
逆電流	I_R	$V_R = 530\text{ V}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	0.8		μA
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	0.15		mA
順方向電圧	V_F	$I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	1.51		V
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	1.44		
接合入力容量	C_J	$V_R = 10\text{ V}, 1\text{ MHz}$		41		pF
ダイナミック特性 (注: ダイナミック特性の定義については図 19、20 を参照)						
逆回復特性時間	t_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	28.5		ns
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	37.3		
逆回復電荷	Q_{RR}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	58		nC
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	105.5		
最大逆回復電流	I_{RRM}	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	2.95		A
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	4.05		
ソフトネス ファクタ = t_B/t_A	S	$di/dt = 200\text{ A}/\mu\text{s},$ $V_R = 400\text{ V}$ $I_F = 6\text{ A}$	$T_{J(D)} = 25\text{ }^\circ\text{C}$	0.53		
			$T_{J(D)} = 100\text{ }^\circ\text{C}$	0.31		

注:

- A. テスト済みパラメータではありません。標準値を参照して設計してください。
- B. 標準的な昇圧 PFC アプリケーション回路で試験されます。
- C. 通常は内部回路によって制限されます。
- D. この条件下での試験では自己加熱があるので、場合によりパルス動作が必要になります。パルス パラメータ (間隔、繰り返し) は未定。
- E. 10 ns で最大 $BV_{DSS} 540\text{ V}$ 。

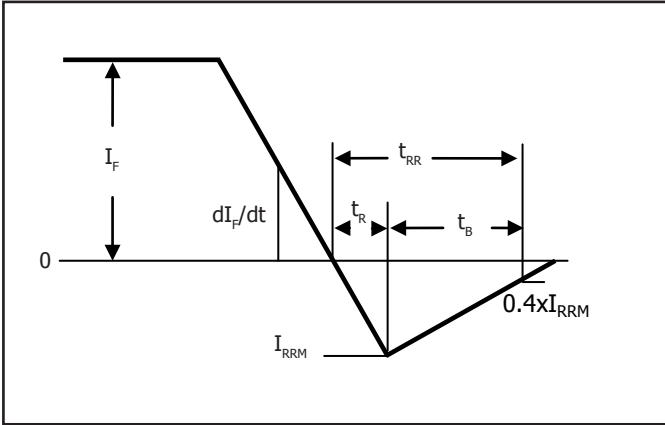


図 19. 逆回復特性の定義

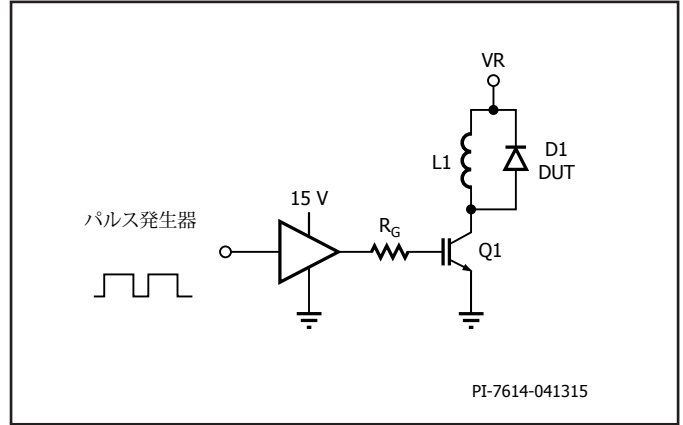


図 20. 逆回復特性の試験回路

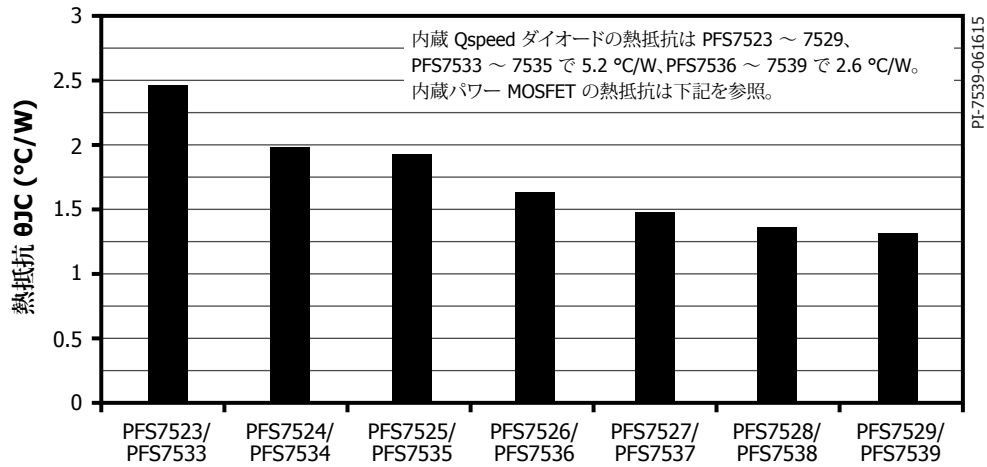


図 21. 熱抵抗 eSIP-16D / eSIP-16G パッケージ (θ_{JC})。

標準パフォーマンス特性

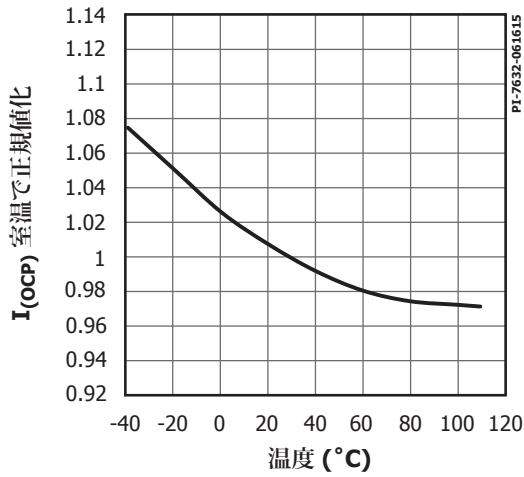


図 22. 正規化 I_{OCP} 対温度

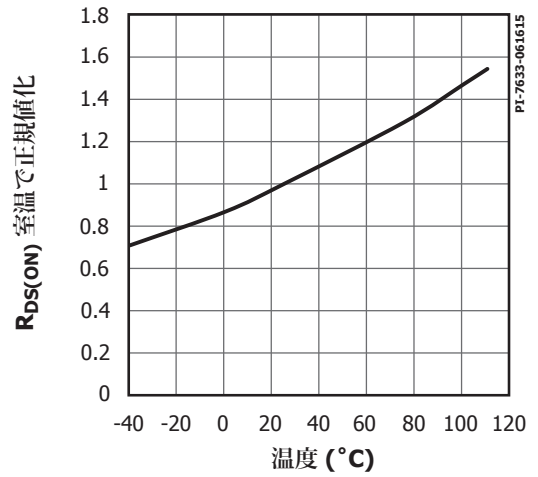


図 23. 正規化 $R_{DS(ON)}$ 対温度

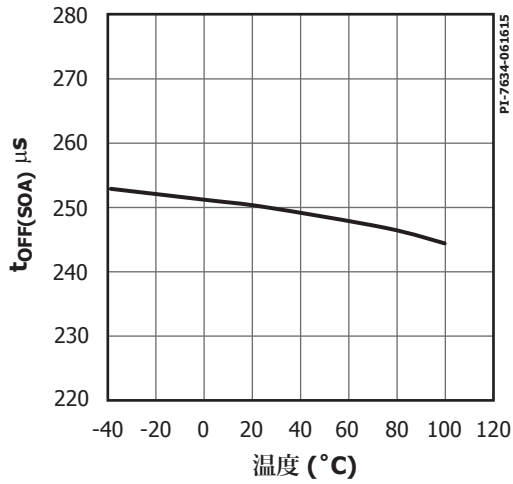


図 24. $t_{OFF(SOA)}$ 対温度

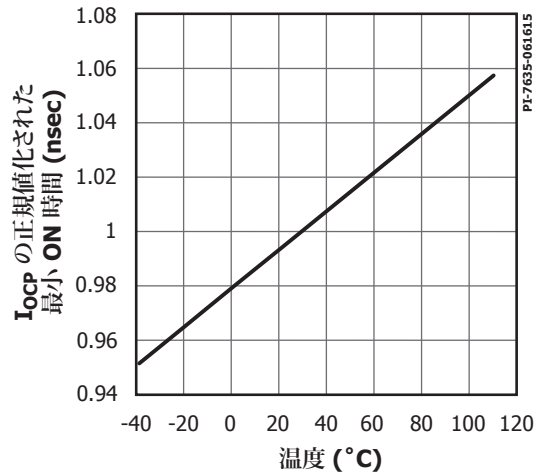


図 25. 正規値化された I_{OCP} での ON 時間対温度

標準パフォーマンス特性

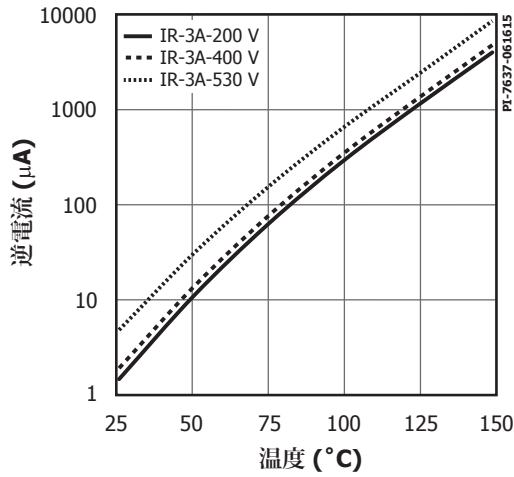


図 26. 3 A Qspeed ダイオード逆電流の温度への依存性

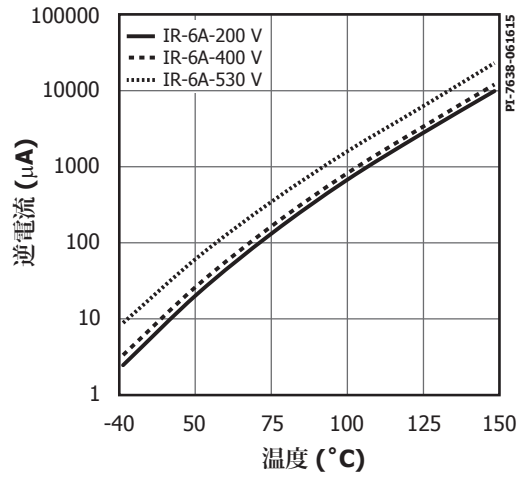


図 27. 6 A Qspeed ダイオード逆電流の温度への依存性

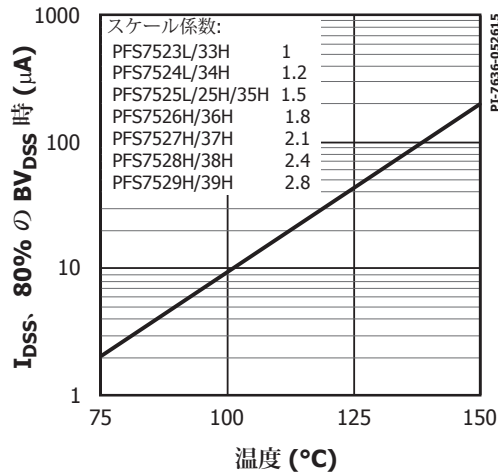
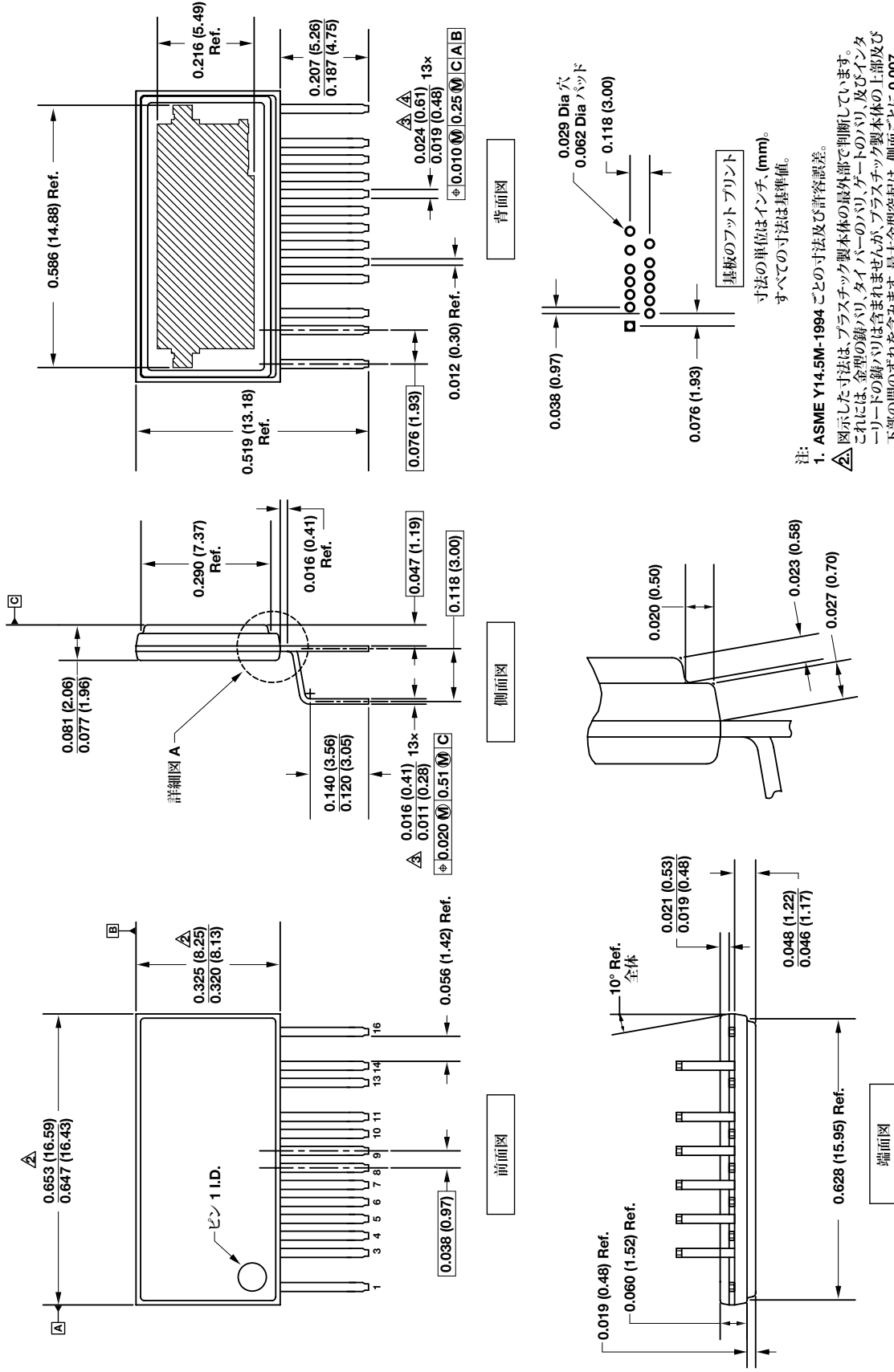


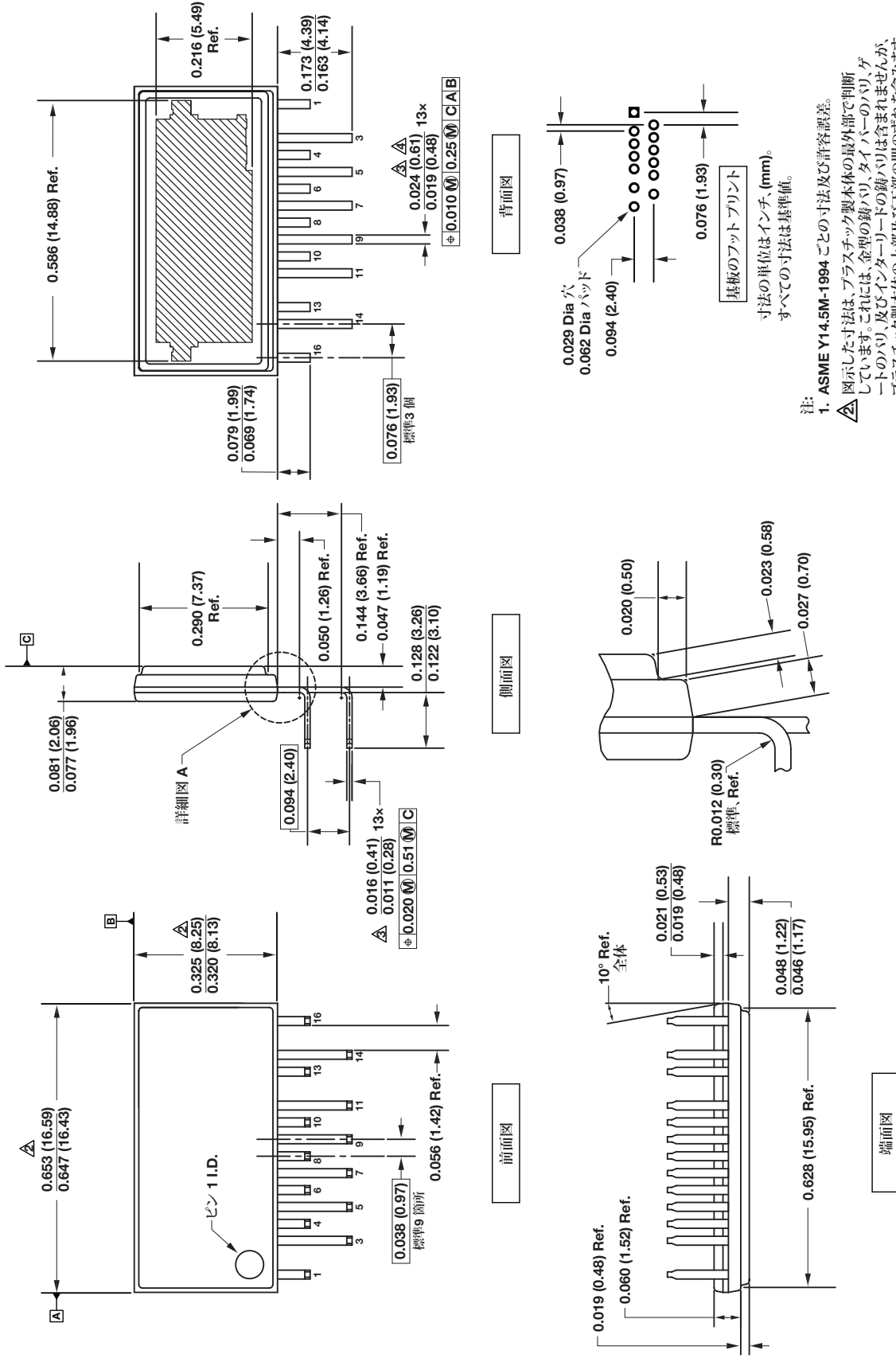
図 28. I_{DSS} の標準的な温度依存性、80% の BV_{DSS} 時。

eSIP-16D (H パッケージ)



PL-7242-010614

eSIP-16G (L パッケージ)



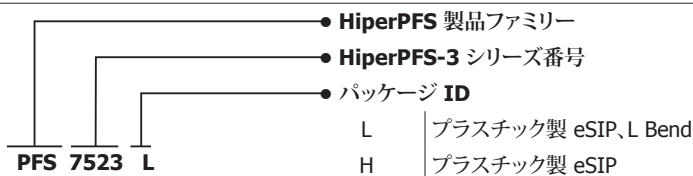
注:
 1. ASME Y14.5M-1994 などの寸法及び許容誤差。
 △ 図示した寸法は、プラスチック製本体の最外部で判断していただきます。これには、金型の跡バリ、タイバーのバリ、ゲートのバリ、及びインターリードの跡バリは含まれません。プラスチック製本体の上部及び下部の間のずれを含みます。最大金型突起は、側面ごとに 0.007 [0.18] です。
 △ 図示した寸法は、メッキ厚を含みます。
 △ インターリードの跡バリまたは突起を含みません。
 5. 寸法の単位はインチ (mm) です。

PI-7256-012114

品番コード体系表

品番	オプション	数量
PFS7523L/H	チューブ	30
PFS7524L/H	チューブ	30
PFS7525L/H	チューブ	30
PFS7526H	チューブ	30
PFS7527H	チューブ	30
PFS7528H	チューブ	30
PFS7529H	チューブ	30
PFS7533H	チューブ	30
PFS7534H	チューブ	30
PFS7535H	チューブ	30
PFS7536H	チューブ	30
PFS7537H	チューブ	30
PFS7538H	チューブ	30
PFS7539H	チューブ	30

品番マーキング情報



注

改訂	注	日付
A	初回リリース。	06/15

最新の情報については、弊社ウェブサイト www.power.com をご覧ください。

Power Integrations は、信頼性または製造性を向上させるために、いつでも製品を変更する権利を留保します。Power Integrations は、ここに記載した機器または回路を使用したことから生じる事柄について責任を一切負いません。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害の黙示保証なども含めて、すべての保証を明確に否認します。

特許情報

ここで例示した製品及びアプリケーション (製品の外付けトランス構造と回路も含む) は、米国及び他国の特許の対象である場合があります。また、潜在的に、Power Integrations に譲渡された米国及び他国の出願中特許の対象である場合があります。Power Integrations の持つ特許の完全なリストは、www.power.com/ja に掲載される予定です。Power Integrations は、<http://www.power.com/ip.htm> に定めるところに従って、特定の特許権に基づくライセンスを顧客に許諾します。

生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。ここで使用した用語は次の意味を持つものとします。

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への植え込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用した時に動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

PI ロゴ、TOPSwitch、TinySwitch、LinkSwitch、LYTSwitch、InnoSwitch、DPA-Switch、PeakSwitch、CAPZero、SENZero、LinkZero、HiperPFS、HiperTFS、HiperLC S、Qspeed、EcoSmart、Clampless、E-Shield、Filterfuse、FluxLink、StakFET、PI Expert 及び PI FACTS は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2015, Power Integrations, Inc.

Power Integrations の世界各国の販売サポート担当

世界本社 5245 Hellyer Avenue San Jose, CA 95138, USA. 代表: +1-408-414-9200 カスタマー サービス: 電話: +1-408-414-9665 ファックス: +1-408-414-9765 電子メール: usasales@power.com	ドイツ Lindwurmstrasse 114 80337 Munich ドイツ 電話: +49-895-527-39110 ファックス: +49-895-527-39200 電子メール: eurosales@power.com	日本 〒222-0033 神奈川県横浜市港北区新横浜 2-12-11 電話: +81-45-471-1021 ファックス: +81-45-471-3717 電子メール: japansales@power.com	台湾 5F, No. 318, Nei Hu Rd., Sec.1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 電話: +886-2-2659-4570 ファックス: +886-2-2659-4550 電子メール: taiwansales@power.com
中国 (上海) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 電話: +86-21-6354-6323 ファックス: +86-21-6354-6325 電子メール: chinasales@power.com	インド #1, 14th Main Road Vasanthanagar Bangalore-560052 India 電話: +91-80-4113-8020 ファックス: +91-80-4113-8023 電子メール: indiasales@power.com	韓国 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 電話: +82-2-2016-6610 ファックス: +82-2-2016-6630 電子メール: koreasales@power.com	イギリス First Floor, Unit 15, Meadway Court, Rutherford Close, Stevenage, Herts. SG1 2EF United Kingdom 電話: +44 (0) 1252-730-141 ファックス: +44 (0) 1252-727-689 電子メール: eurosales@power.com
中国 (深圳) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 電話: +86-755-8672-8689 ファックス: +86-755-8672-8690 電子メール: chinasales@power.com	イタリア Via Milanese 20, 3rd.Fl. 20099 Sesto San Giovanni (MI) Italy 電話: +39-024-550-8701 ファックス: +39-028-928-6009 電子メール: eurosales@power.com	シンガポール 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 電話: +65-6358-2160 ファックス: +65-6358-2015 電子メール: singaporesales@power.com	